

# スピンMOSトランジスタの基本技術を開発

— 高速・低消費電力、不揮発の次世代半導体 —

本資料は、本年米国ボルチモアで開催のIEDM(International Electron Devices Meeting 2009)における当社講演“Read/Write Operation of Spin-Based MOSFET Using Highly Spin-Polarized Ferromagnet/MgO Tunnel Barrier for Reconfigurable Logic Devices”に関するものです(現地時間12月7日14:00講演、講演番号9.2)。

本成果の一部は、NEDO「ナノテクノロジープログラム／ナノテク・先端部材実用化研究／「高スピン偏極率材料を用いたスピンMOSFETの研究開発」によるものです。

2005

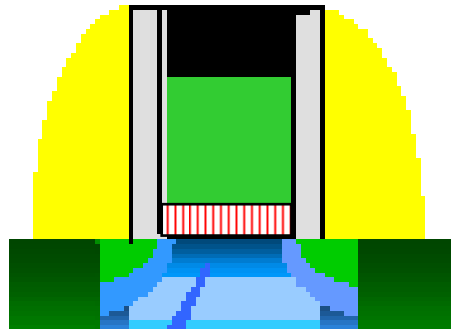
2010

微細化技術の時代

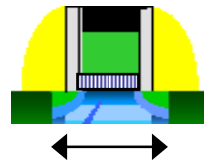
新材料技術の時代

新概念素子の時代

MOSTランジスタ



110nm

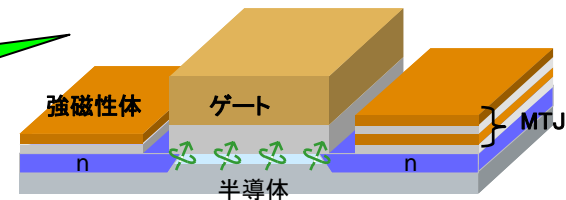


70nm



30nm

スピントランジスタ



「比例縮小の法則」

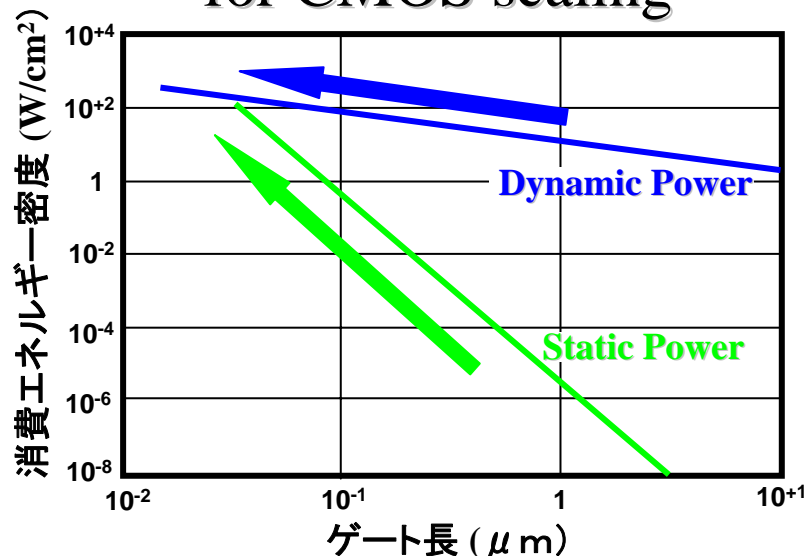
シリコン、酸化膜(SiO<sub>2</sub>)、アルミニウムだけで作るトランジスタ  
⇒微細化だけで高性能化

新材料投入による高性能化(High-Kゲート絶縁膜、メタルゲート、Cu配線、Low-K層間絶縁膜)

従来型トランジスタの破綻新概念デバイスの創造

比例縮小の法則に沿った微細化による高性能化は物理的限界に直面しつつある。CMOSの消費電力増大が問題となっており、新原理のトランジスタが求められる。スピントランジスタは、高速・低消費電力・不揮発で、Si CMOS技術との融合性が良い理想的な素子と言える。

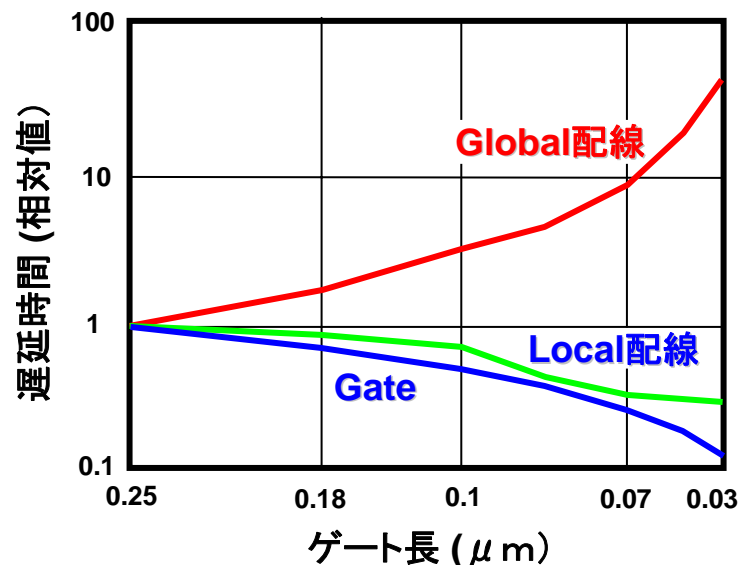
## 微細化に伴う性能上の課題

Dynamic & Static Power  
for CMOS scaling

参照: R. Puri et al., Design Automation Conference (DAC) 2005.

微細化に伴う消費電力  
の増大

Relative delay



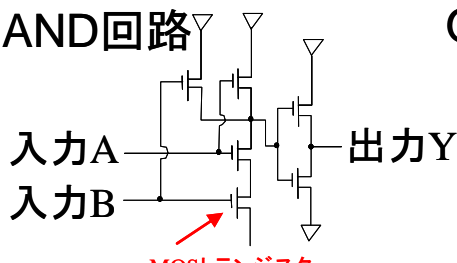
参照: International Technology Roadmap for Semiconductors (ITRS) 2005

メモリとロジックをつなぐグロー  
バル配線が長くなり信号が遅延

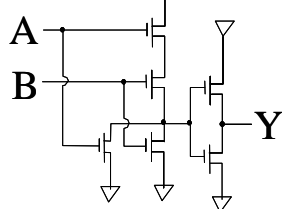
## 不揮発メモリ機能を有する高性能トランジスタは1つの解 現状のロジックチップ(ASIC) 将来

多数のAND, OR回路の最適配置必要

AND回路

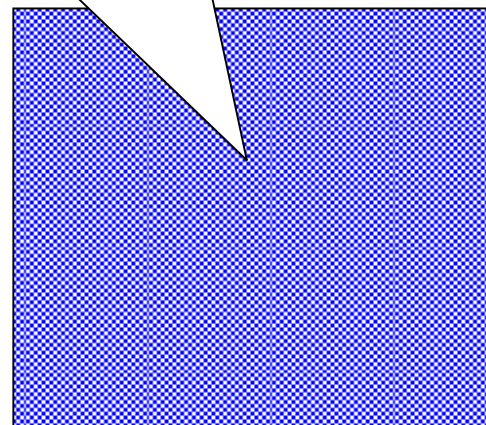
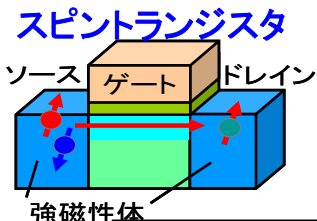


OR回路

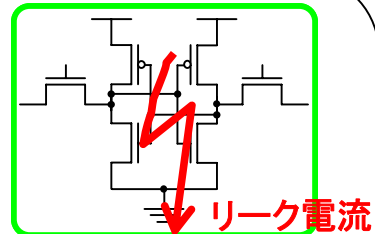


MOSTランジスタ

スピンを用い同一回路で全てのロジックを後からプログラムできる回路が実現できれば全ての問題が解決できる

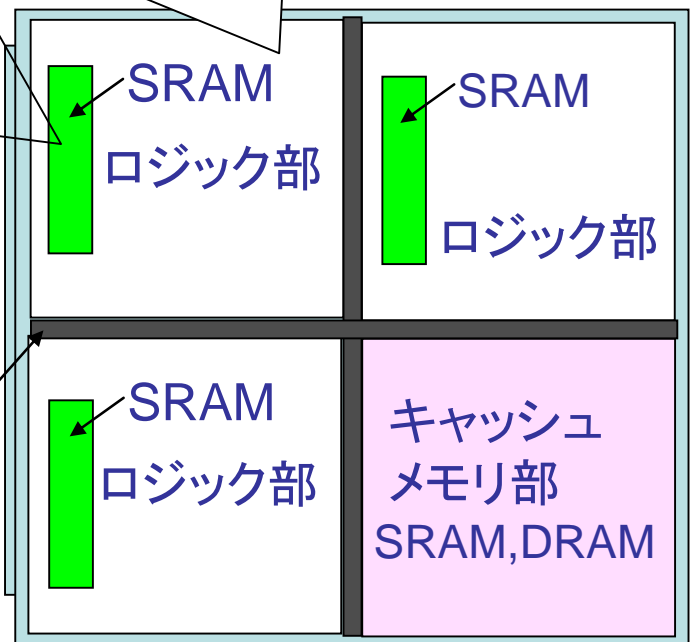


- ・強磁性体のスピンは半永久に保たれる
- ・スピン⇒高速
- ・後からソフトでハード(ロジック)を修正可能



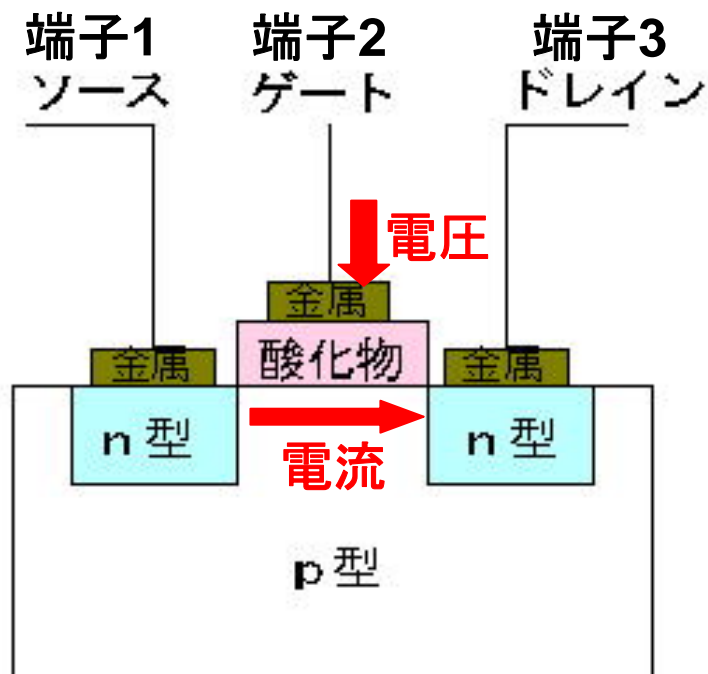
6個のトランジスタで構成された揮発メモリ

Global配線

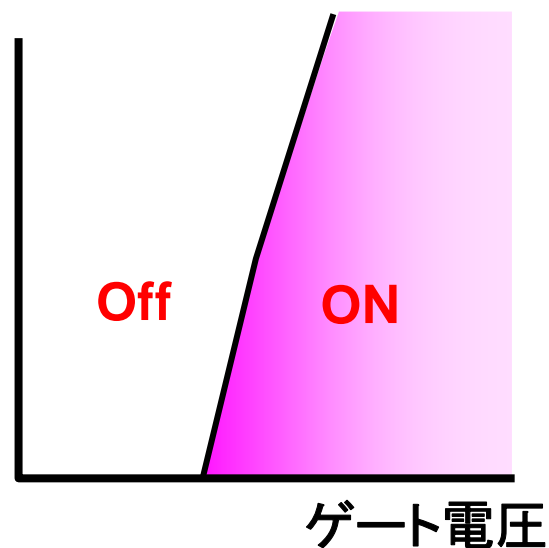


## トランジスタ(FET)のしくみ

FET: Field-Effect Transistor  
(電界効果トランジスタ)



ソースドレイン間  
電流



2つの端子の間に流れる電流を中央の端子で制御するスイッチ機能を持つ素子。  
図のように金属(metal)-酸化物(oxide)-半導体(semiconductor)の並ぶ一般的な構造  
のトランジスタは、これらの頭文字をとって「MOS型」トランジスタと呼ばれる。

スピンとは

強磁性体の電子状態

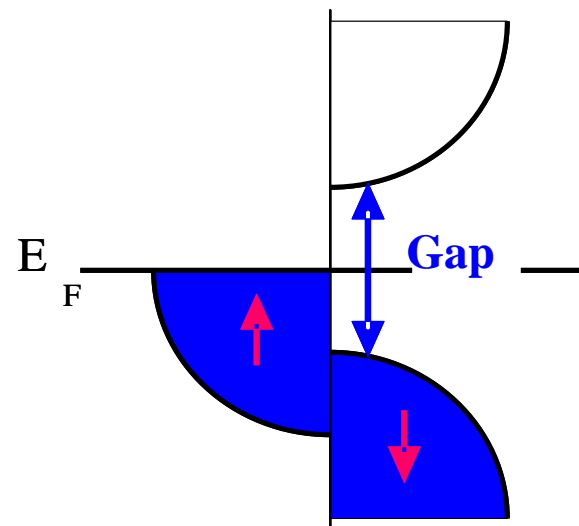
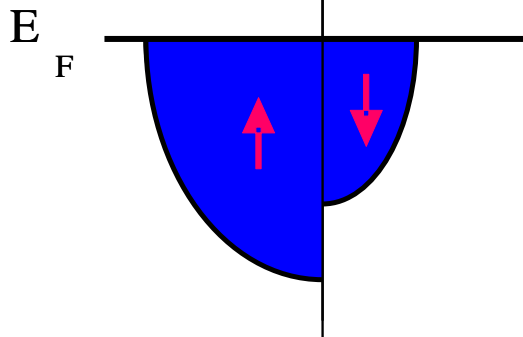
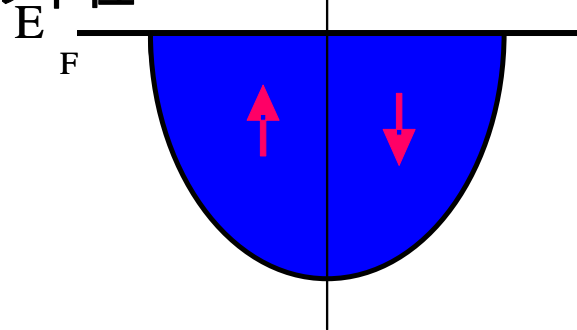
非磁性体の電子状態  
(Al, Cuなど)

通常の強磁性体  
(Fe, Coなど)

ハーフメタル強磁性体  
(ホイスラー合金など)

エネルギー ↑

フェル準位



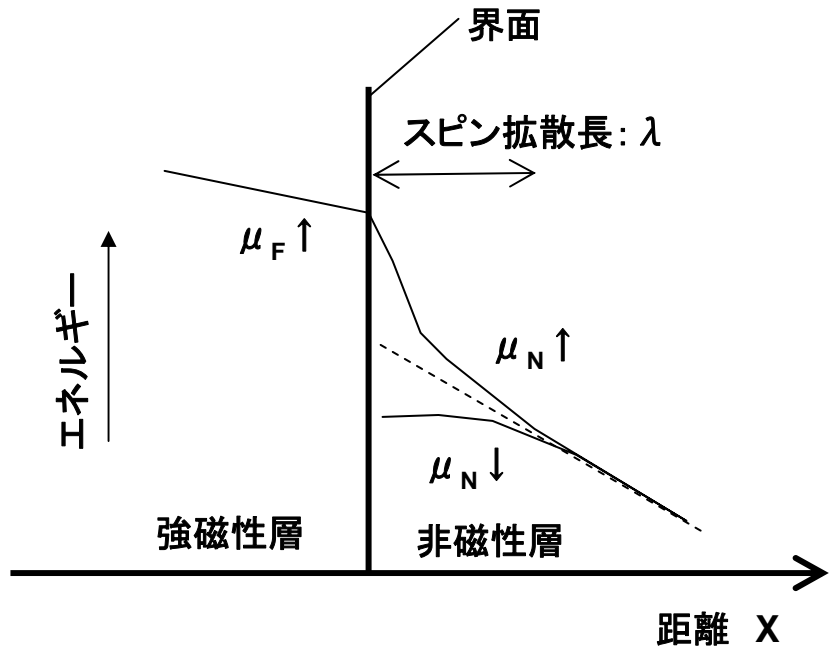
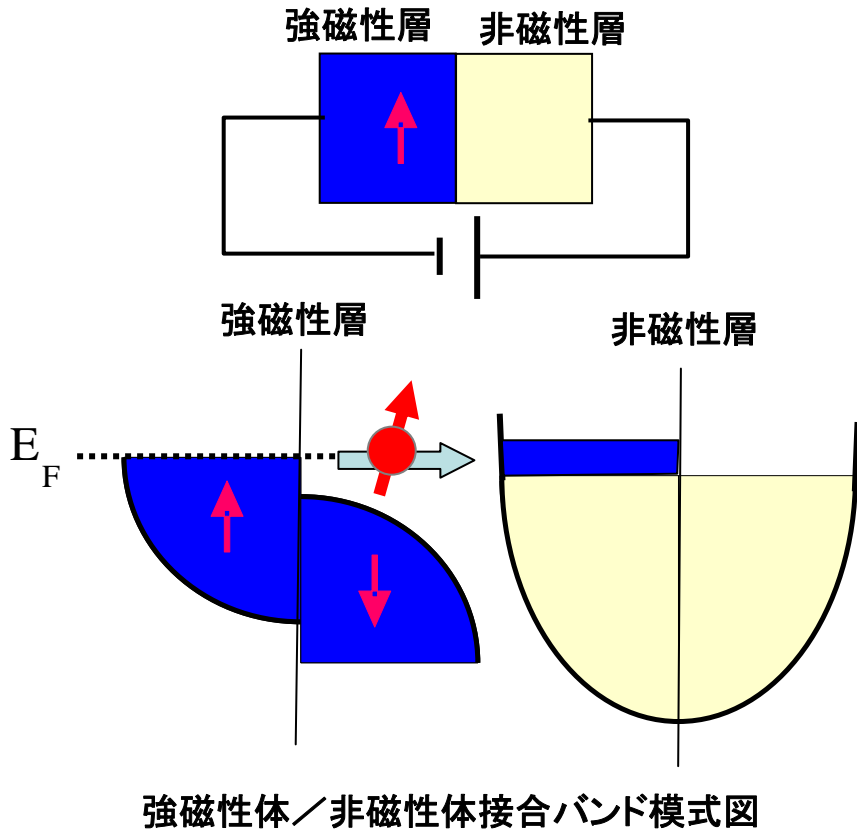
Upスピン電子と  
Downスピン電子  
の数は同数

Upスピン電子と  
Downスピン電子  
の数が異なる

Upスピン電子のみが  
電気伝導に寄与できる

## スピン流とは

スピン拡散長  $\lambda$  :  $0.1 \sim 10 \mu\text{m}$   
 電子の平均自由行程 :  $0.01 \sim 0.1 \mu\text{m}$

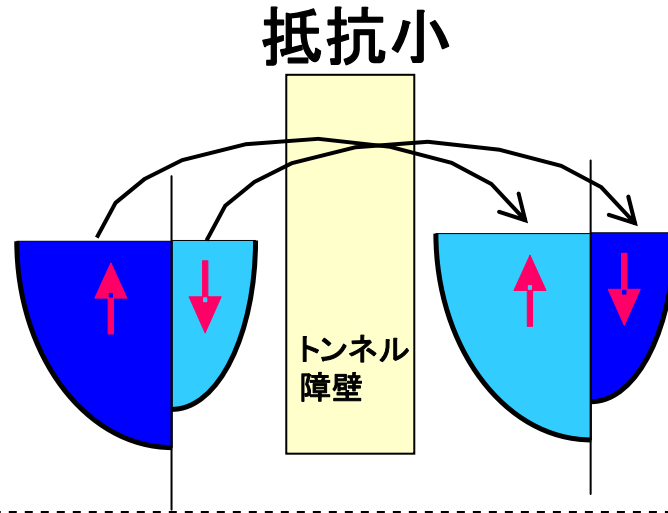
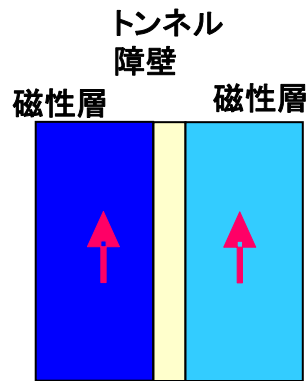


強磁性層／非磁性体接合の  
化学ポテンシャルの空間分布

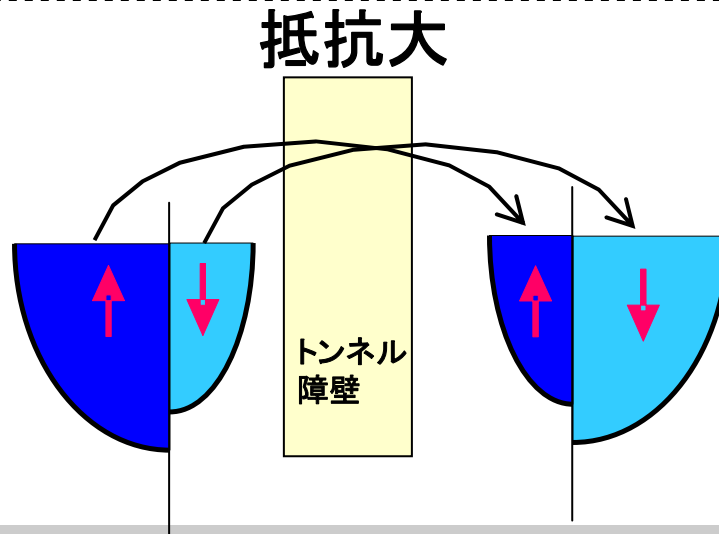
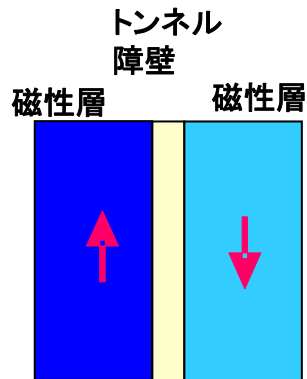
電圧を印加すると、スピン拡散長の距離だけスピンの向きを伝えることが可能

## スピン伝導の基本原則 (例: 強磁性トンネル接合(TMR))

## 平行磁化配置(P)



## 反平行磁化配置 (AP)



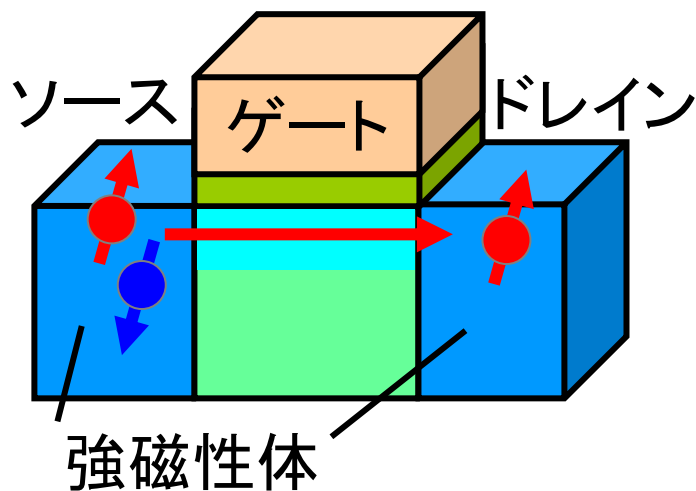


## スピントランジスタとは

ソース/ドレインに強磁性層を配置したトランジスタ。

今回は、一般的なMOS型トランジスタを用いたスピンMOSトランジスタを開発。

## Spin MOSFET(今回)

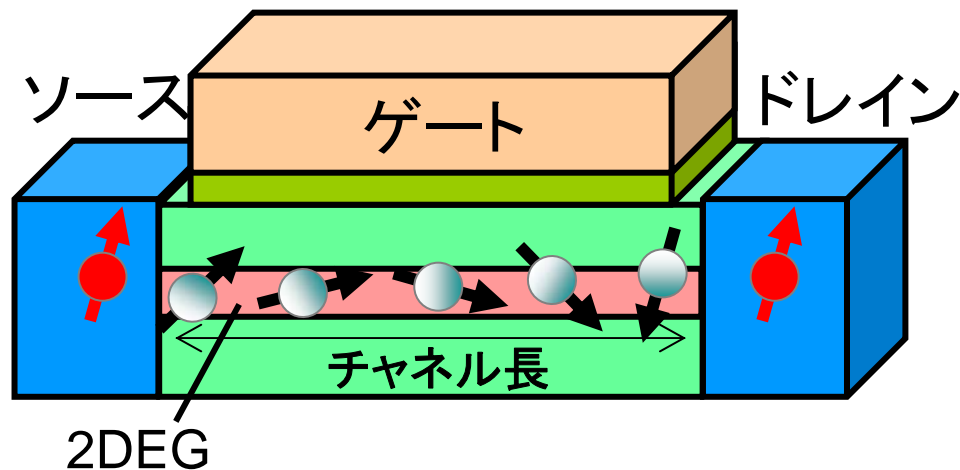


- ・微細化可能
- ・Si CMOS技術への適合性良好

S. Sugahara and M. Tanaka, APL 29, 2307 (2004).

## Spin FET(従来)

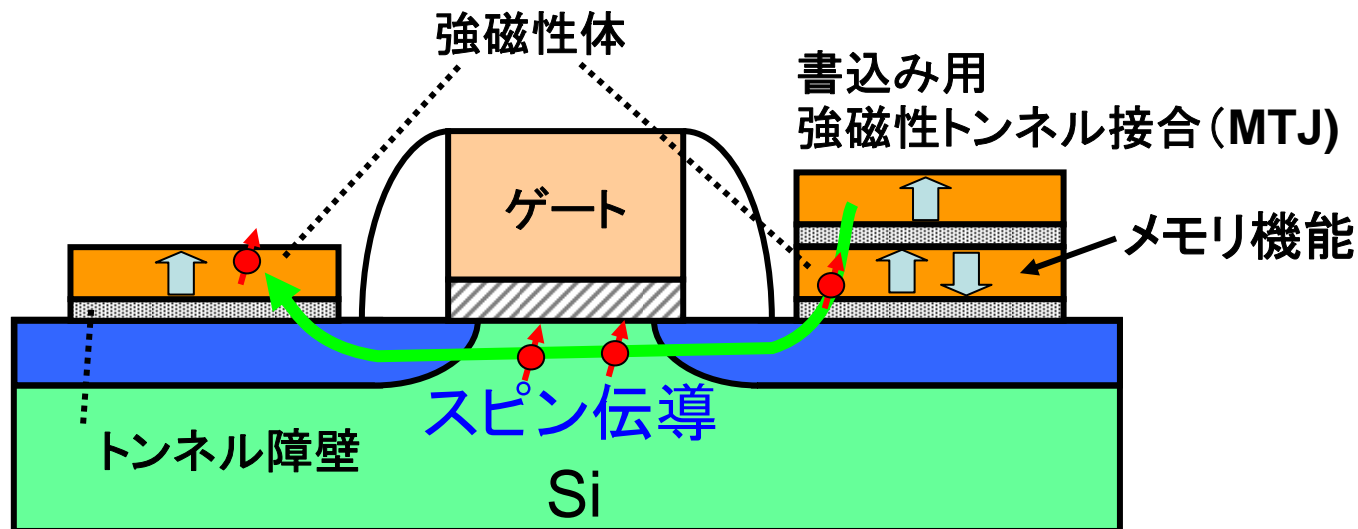
## Datta&amp;Das型トランジスタ



- ・III-Vチャネル材料
- ・チャンネル長 $\geq 125$  nmが必要  
(微細化に不向き)

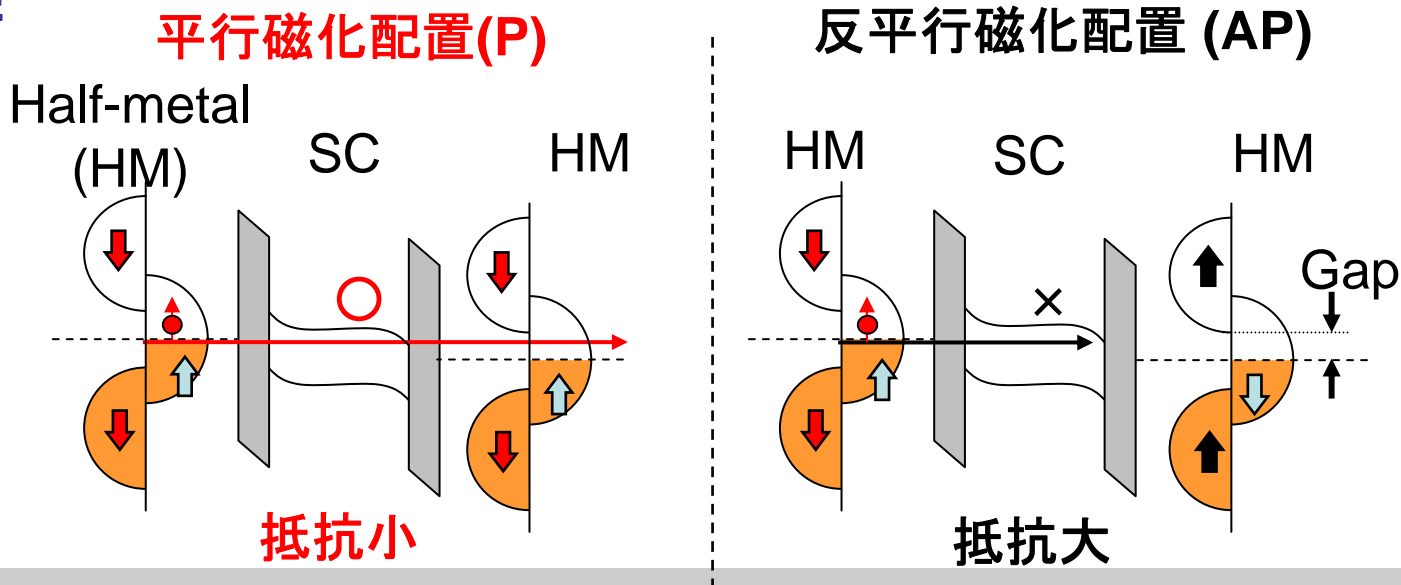
S. Datta and B. Das, APL 56, 665 (1990).

## 素子構造



“Spin-transfer Torque Switching MOSFET (STS-MOSFET)”

## 読出し動作



## 書込み動作

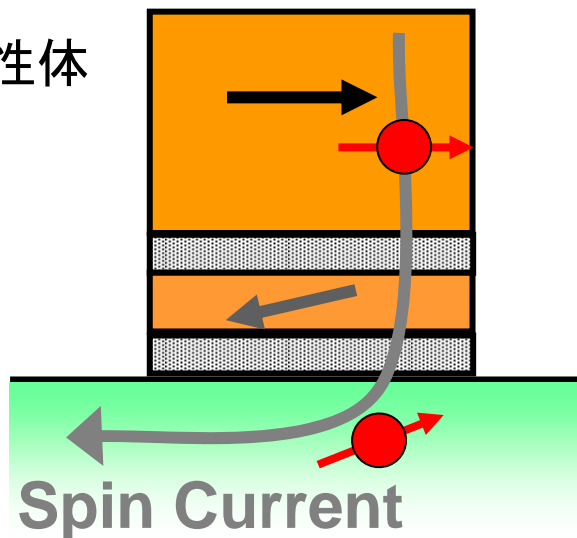
スピン注入書込み (Spin transfer torque switching: STS)

### 順方向電流

反平行磁化配置 (AP)

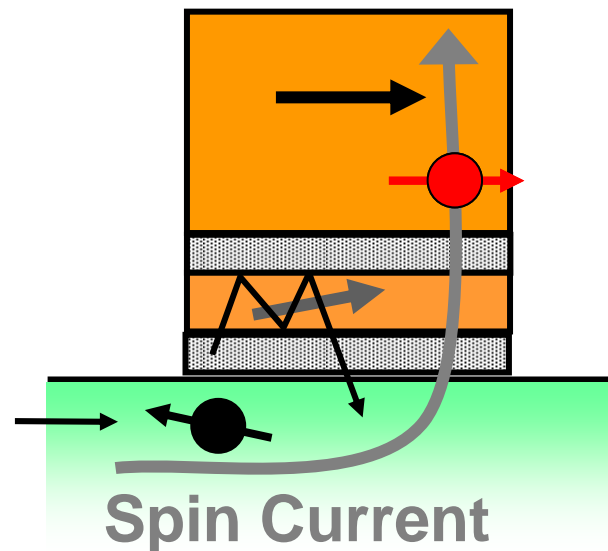
⇒ 平行磁化配置 (P)

強磁性体



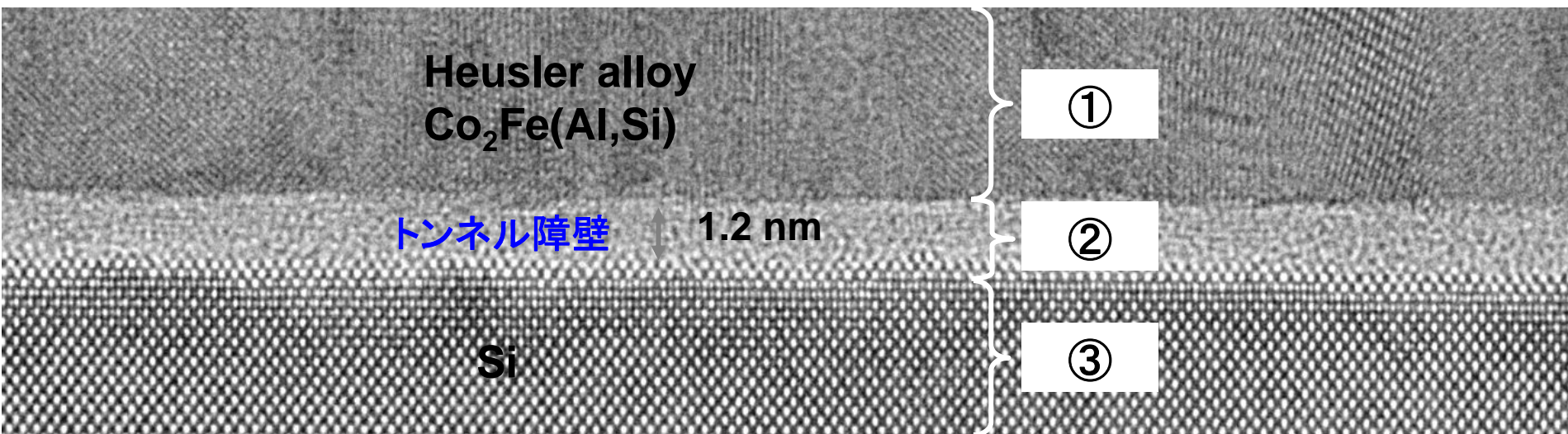
### 逆方向電流

P ⇨ AP

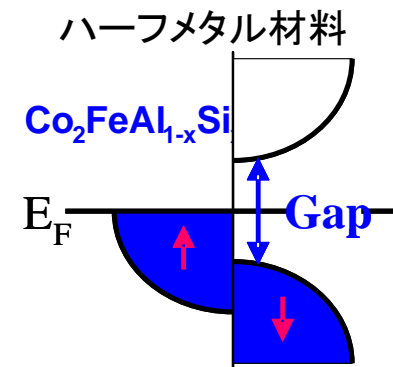


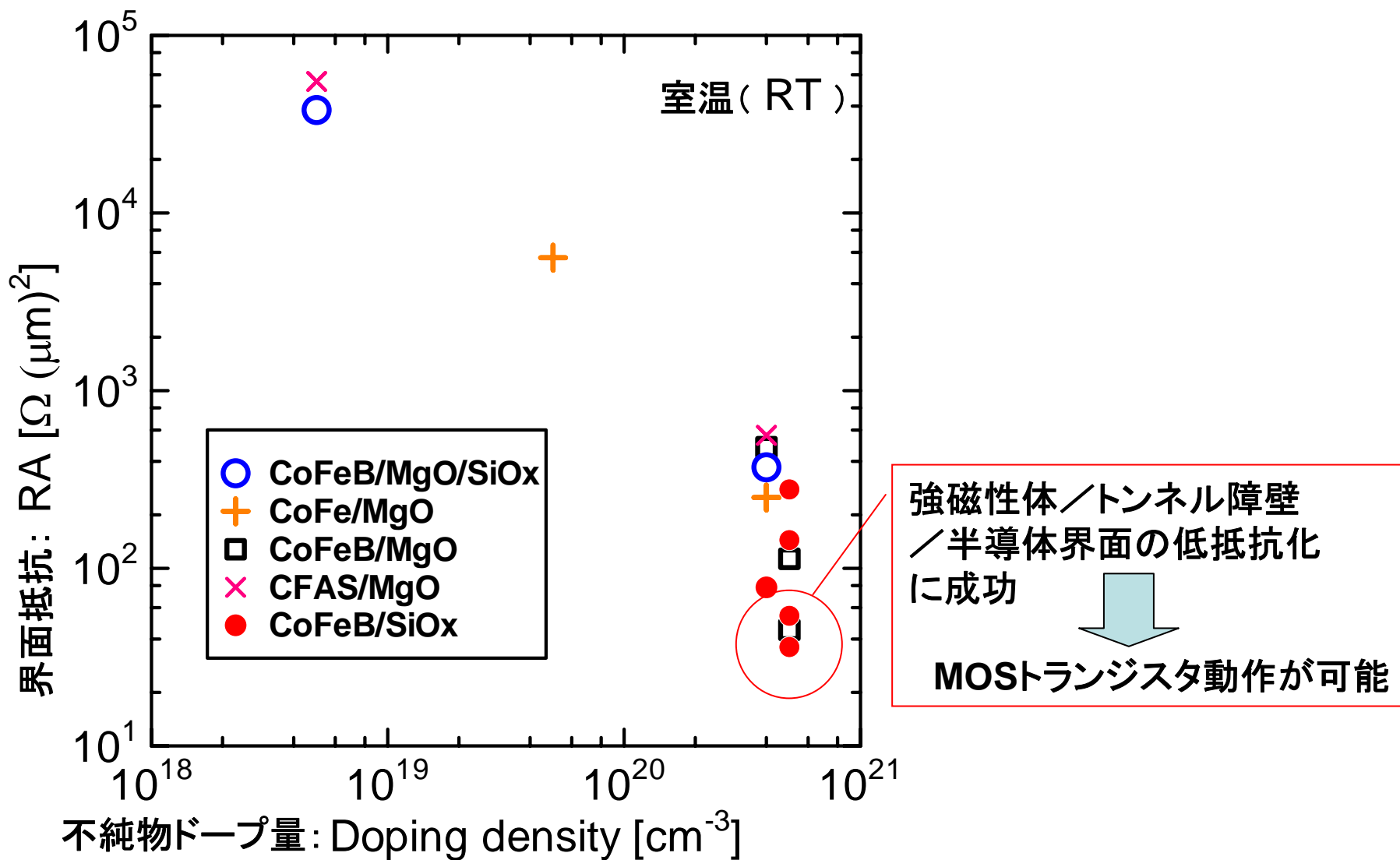
スピン偏極しやすいハーフメタル材料を導入。

強磁性体／半導体の界面制御技術によりミキシング防止と低抵抗化を実現。

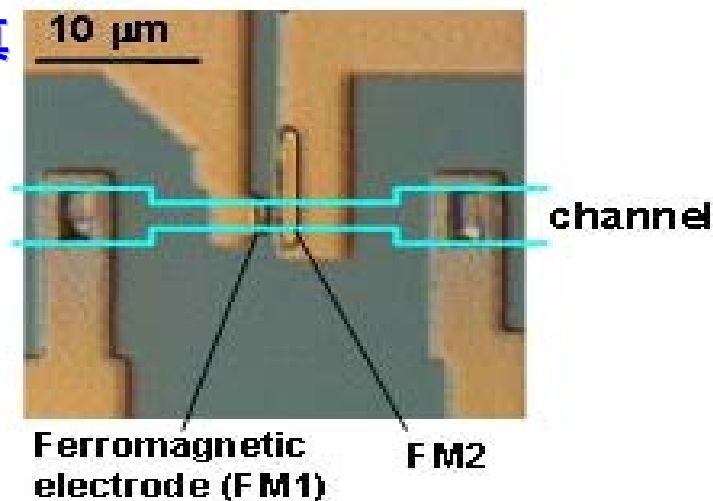


- ① ホイスラー合金材料(ハーフメタル材料)
- ② トンネル障壁(1.2nm): スピンフィルター、拡散バリア
- ③ シリコン

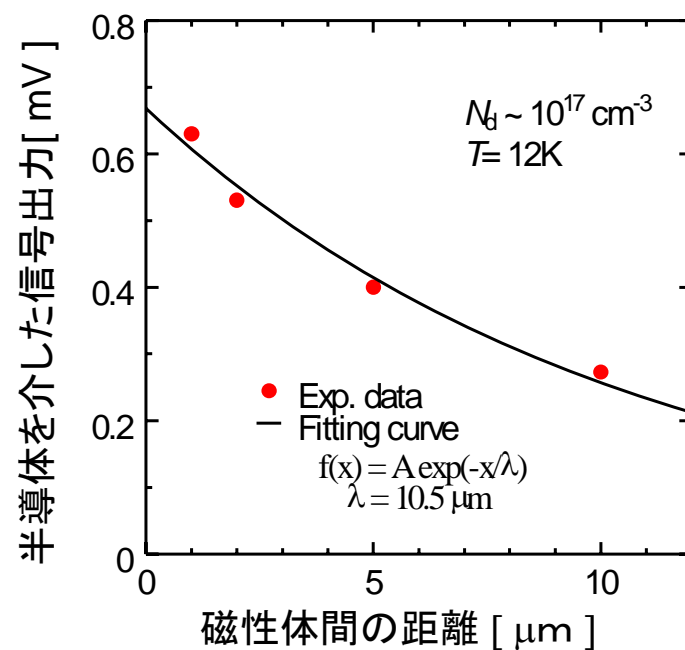
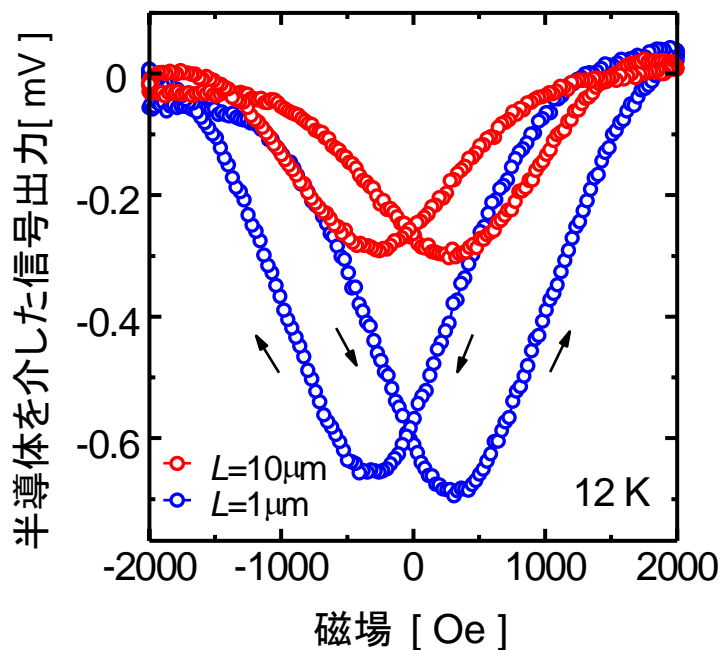




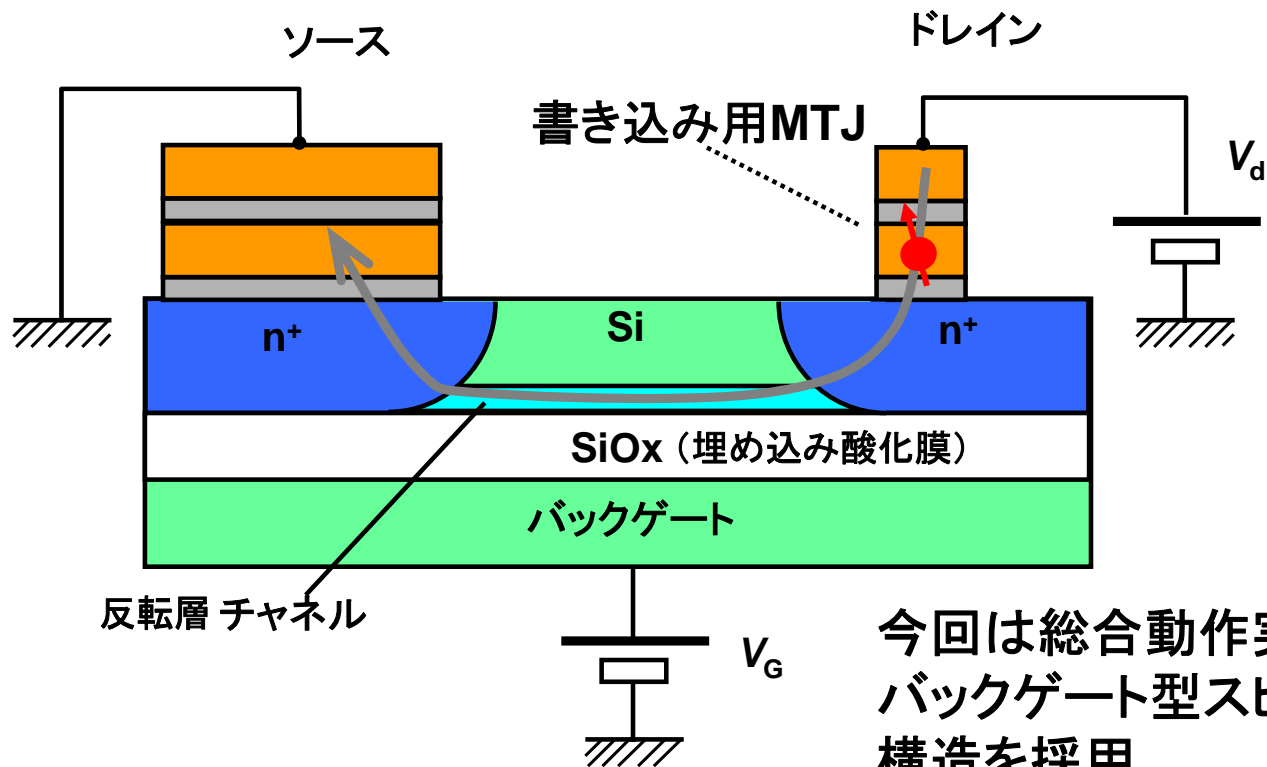
素子の光学顕微鏡写真



- ▶ 半導体を介したスピン依存伝導を観測
- ▶ Si中のスピン拡散長  $> 10 \mu\text{m}$

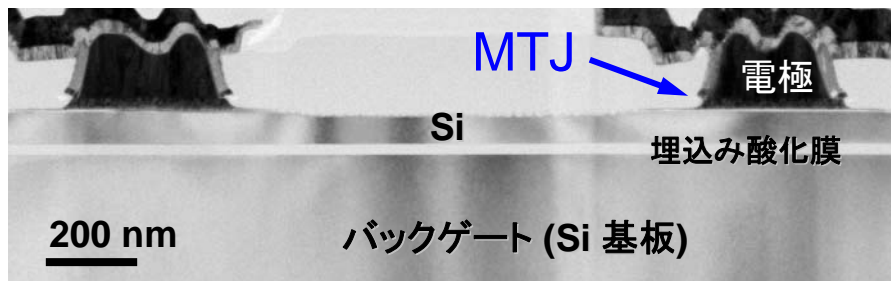


## 模式図

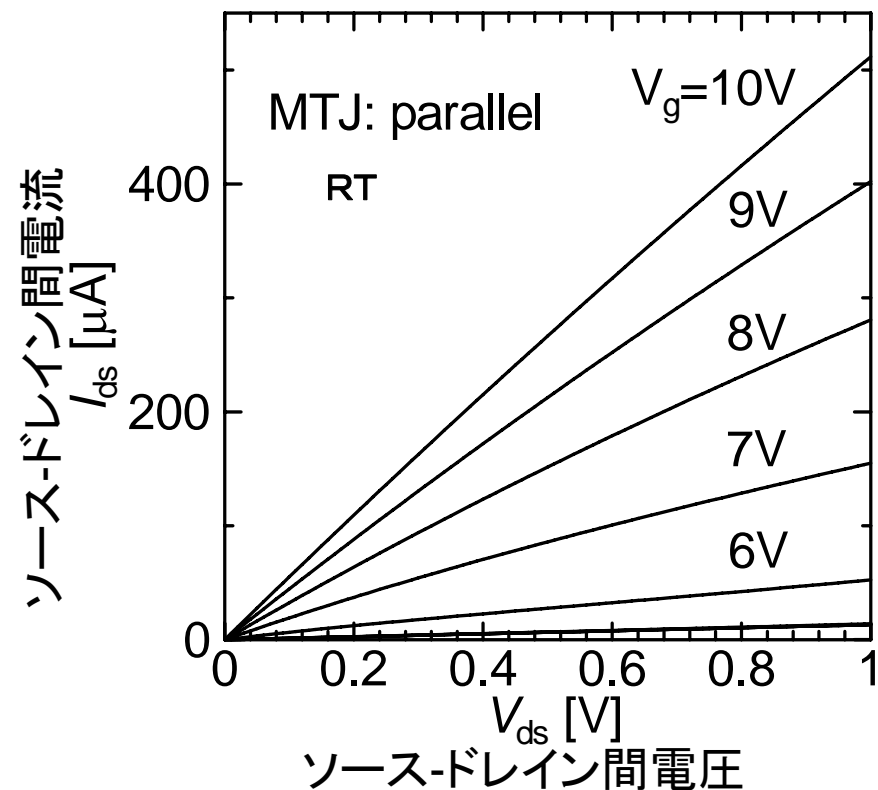


今回は総合動作実証のため、バックゲート型スピンMOSFET構造を採用。

## 断面TEM写真

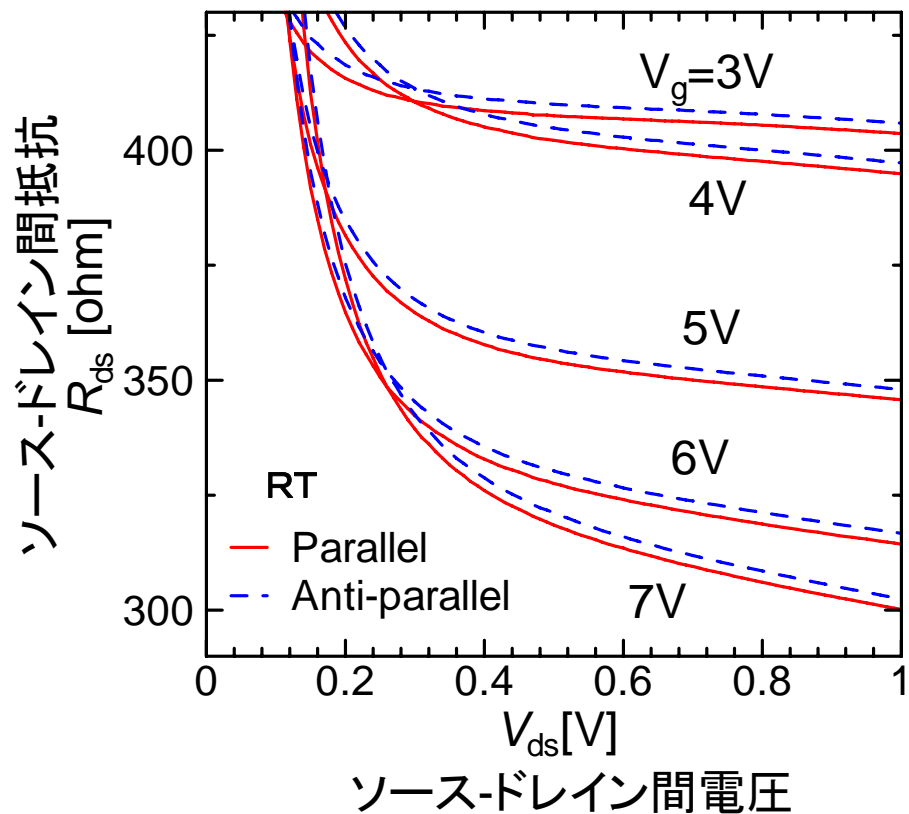


ゲート電圧に依存した $I_{ds}-V_{ds}$ 特性



トランジスタ動作を確認

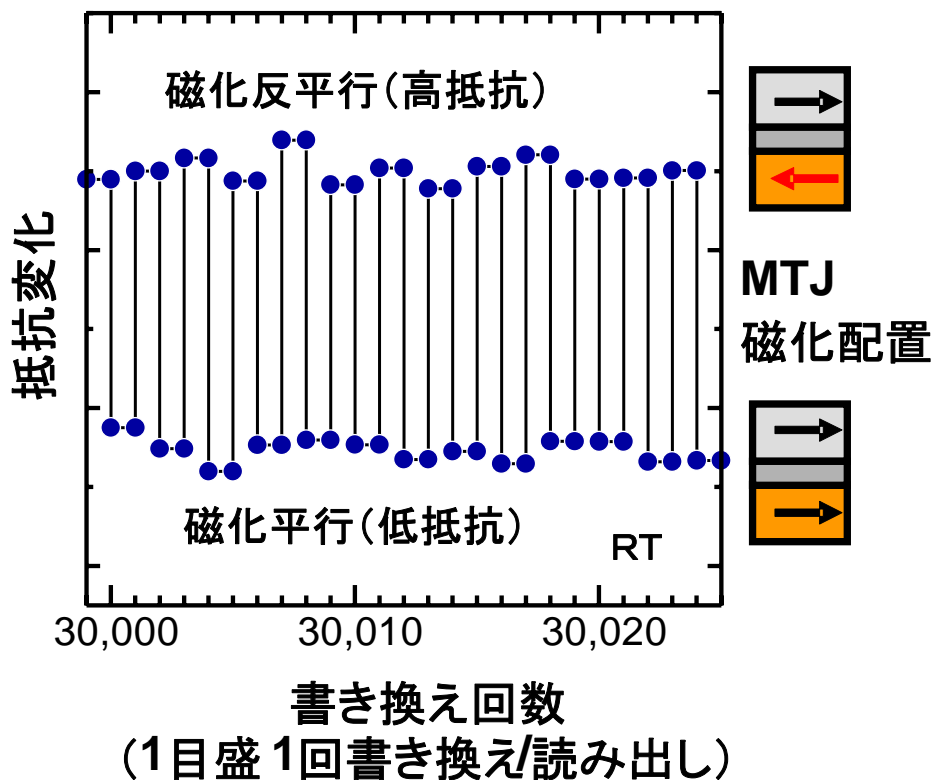
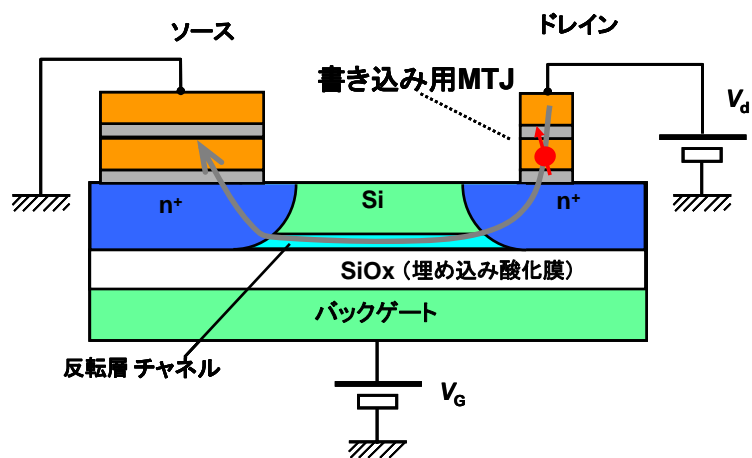
デバイス抵抗の磁化配置による変化  
 $R_{ds}-V_{ds}$ 特性



スピン配置による抵抗変化を観測



読み出し、書き込みの総合基本動作を高信頼性・高耐性で実現できることを確認

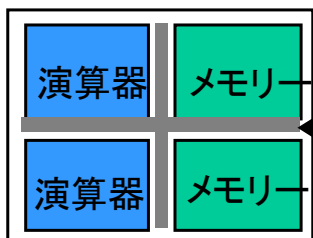


スピン注入磁化反転による書き換え繰り返し耐性試験結果  
>30000回の読出し・書き込み繰り返し動作を確認

## Reconfigurability (再構成可能機能)を有する不揮発性MOSトランジスタ

⇒ 配線遅延時間削減・高速化, チップ面積削減, クイックオン,  
不揮発、同一チップで多彩な機能を実現,  
パワーゲーティングによる低消費電力化

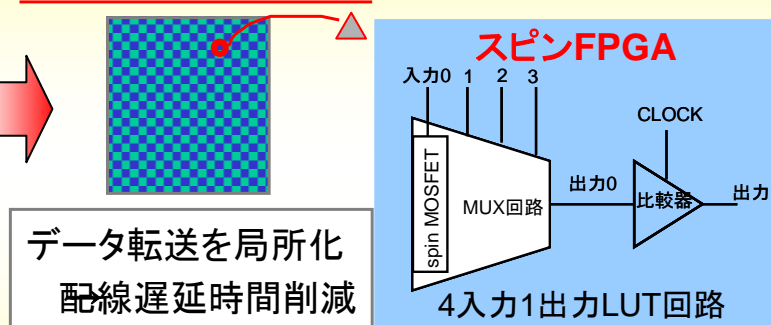
現在のリコンフィグ  
デバイス (FPGA)



配線遅延時間大  
揮発 (SRAM使用)  
面積大、低速

### スピントランジスタを用いたシステムLSI

-メモリとLogicの融合-



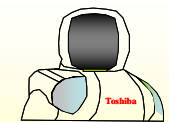
スピン状態を変えるだけで  
あらゆる論理回路が実現

いつでも最先端ハードが使える  
ユビキタス時代へ!

最先端医療/福祉/家電



同一チップで様々な  
製品に搭載可能

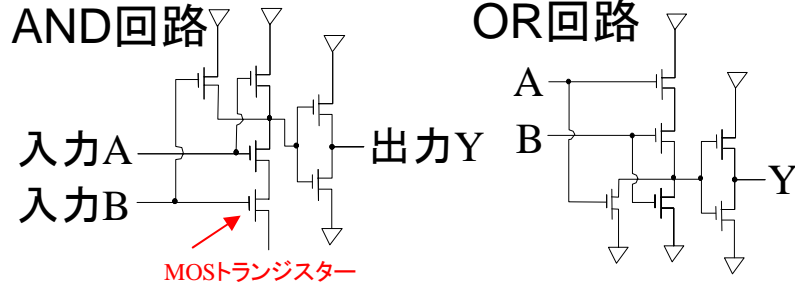


脳型メモリ

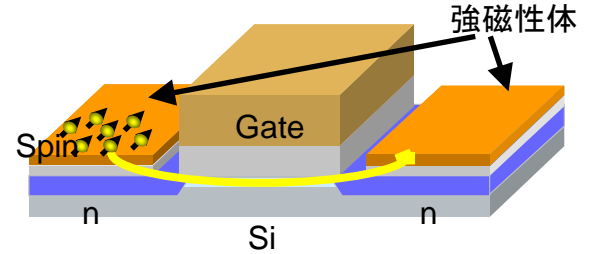
柔軟な機能を有する脳型メモリ実現へ!  
大規模/高速/flexibility

ASIC

多数のAND, OR回路の最適配置必要

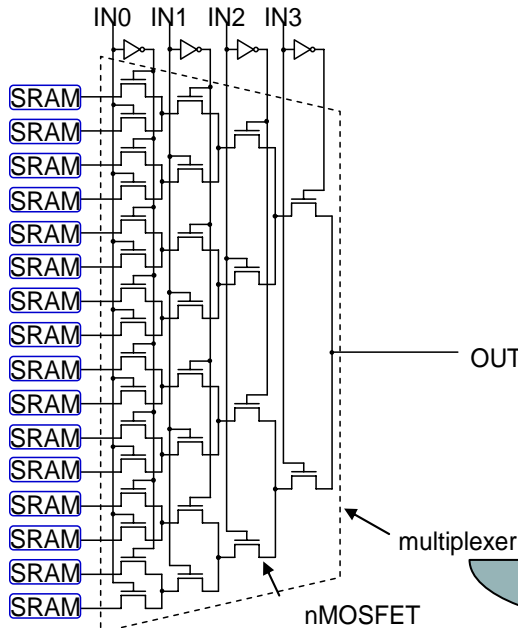
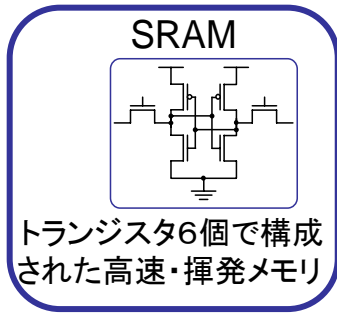


Spin-MOSTランジスタ



スピンFPGA

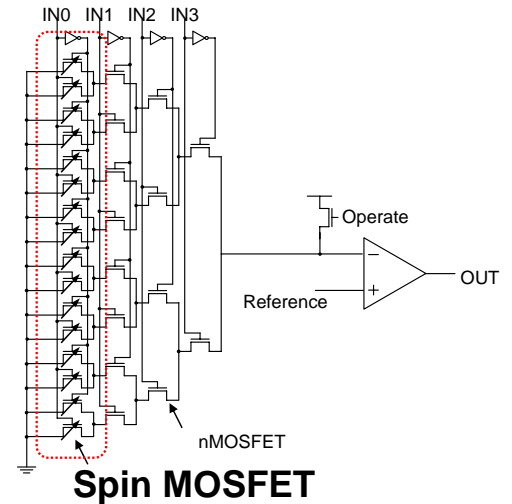
FPGA



FPGA問題点

- 1) SLOW..... 1/10 of ASIC
- 2) Large ..... 10 times of ASIC
- 3) Ultra High Power

FPGA: Field programmable gate array



(出典: 東芝, SSDM 2008)

トランジスタ数: 1/3

- MOSTランジスタの電極に磁気トンネル接合(MTJ)を配置する独自のスピントランジスタを開発し、読み出し動作、書き込み動作(スピン注入磁化反転による磁化書き換え)、繰り返し耐性を実証した。これにより、世界で初めて、スピントランジスタの基本総合動作に成功した。
- スピントランジスタは、微細化によらず高速化でき、低消費電力、不揮発性など優れた特長がある。トランジスタをいくつも用いるSRAMをスピントランジスタ一つに置き換えることも可能。さらに、製品完成後に回路の再構成が可能のため、FPGAのような利便性も持つ。
- 今後、本技術を将来の不揮発ロジックLSI候補のひとつと位置づけ、特性の向上に向けた材料・構造、回路設計の改良などを進めるとともに、最先端医療機器、高機能デジタル家電、脳型メモリなど応用回路の可能性を追求し、2015年以降の実用化を目指す。