

地上デジタルハイビジョンテレビ用 LSI

LSI Family for Terrestrial Digital HDTV

中谷 隆 名古屋 哲雄 甲斐 直行 石井 聡之

NAKATANI Takashi

NAGOYA Tetsuo

KAI Naoyuki

ISHII Satoyuki

地上デジタルハイビジョンテレビ(HDTV)を開発するうえで、LSIはもっとも重要なパーツとなる。東芝は地上デジタル放送対応として、OFDM(Orthogonal Frequency Division Multiplex)復調用LSI(TC90A87FG/XBG)、デコーダシステムLSI(TC81240TBG)、映像処理LSI(TC90A94TBG)の3品種のLSIを開発した。これらのLSIはそれぞれ周辺部品を減らした1チップ構成となっており、低価格で高性能な地上デジタルHDTVの実現に大きく貢献した。

LSIs are key components of terrestrial digital high-definition television (HDTV). Toshiba has developed three major chips for this application: an orthogonal frequency division multiplex (OFDM) demodulator (TC90A87FG/XBG), a decoder system LSI (TC81240TBG), and a video processor LSI (TC90A94TBG). Each LSI consists of one chip with a minimum of peripheral parts. This LSI family realizes low-cost and high-quality terrestrial digital HDTV receivers.

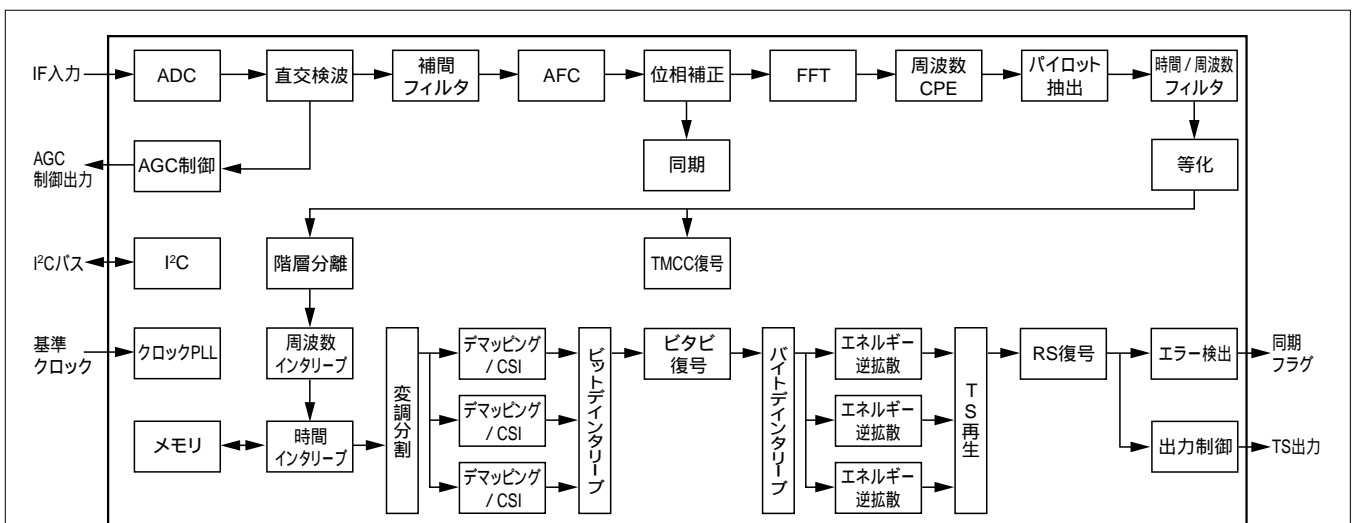
OFDM 復調用 LSI

OFDM Demodulator LSI for Integrated Services Digital Broadcasting-Terrestrial (ISDB-T)

1 まえがき

国内地上デジタル放送伝送方式(ISDB-T)のOFDM 復調

には、時間インタリーブ処理に比較的大容量のメモリを必要とする。一方、BS デジタル放送以来チューナに復調 LSI が搭載された NIM(Network Interface Module)が一般化し、復調 LSI に対する外付け部品点数、基板面積の削減が潜在ニーズとして高い。このことから東芝は、2003 年放送開始時期に市場投入する OFDM 復調 LSI として、メモリを内蔵した 1 チップ OFDM 復調用 LSI “ TC90A87FG/XBG ”を開発するに至った(図 1)。



ADC : アナログ / デジタル変換器 AFC : 自動周波数制御 AGC : 自動利得制御
 CSI : Channel State Information IFC : Inter IC TMCC : Transmission and Multiplexing Configuration Control
 PLL : Phase Locked Loop CPE : 共通位相誤差 TS : Transport Stream

図 1 . TC90A87FG/XBG のブロック図 - ADC やメモリなどの主要部品を集積化し、受信に必要な機能を 1 チップで実現している。
 Block diagram of TC90A87FG/XBG

2 TC90A87FG/XBGの概要と特長

このLSIは、ISDB-Tの三つの伝送モードとすべてのガード比パラメータに対応している。また、部分受信を含む3階層伝送にも対応し、更に、13セグメント信号復調に加え、地上デジタル音声放送の1セグメント又は3セグメント信号復調機能も内蔵している。

AD(アナログ/デジタル)変換と時間デインタリーブ処理を含むOFDM復調に必要なすべてのメモリを内蔵しており、外付け回路はクリスタルのみである。また、広帯域AD変換回路の採用で、LSIの入力信号は4MHzの低IF(中間周波数)だけでなく、57MHzのIFをダイレクトに入力可能であり、NIMの小型化に寄与している。

このLSI機能の特長として、伝送モード及びガード比の自動判別及びFFT(高速フーリエ変換)窓タイミングの自動サーチが外部マイコンの制御なしで高速に処理されるため、チャンネル切替え時間が高速化されている。また、OFDM信号の有無を自動判別する高速チャンネルサーチ機能も内蔵している。

地上デジタル放送では、マルチパス妨害などに加え、アナログ放送との干渉も大きな問題となる。このLSIは、アナログ放送からの同一及び隣接チャンネル干渉妨害を低減するための抑圧回路を内蔵し、劣悪な受信条件でも安定な動作を可能としている。

このLSIは144ピンQFP(Quad Flat Package)に加え、より小型な13mm角の177ピンBGA(Ball Grid Array)パッケージも用意されている。

3 ダイバーシチ対応について

TC90A87FG/XBGには、同じLSIを2個並列接続しダイバーシチシステムを構成できるインタフェースを設けた。車載品質には別途対応する。

4 あとがき

今回開発したISDB-T用OFDM復調LSI TC90A87FG/XBGにつき概要と特長を述べた。今後は、携帯受信に必要な1セグメントOFDM復調用LSIや、移動体受信専用OFDM復調用LSIの開発を行っていく。(中谷)

デジタルTV用 デコーダシステムLSI

Decoder System LSI for Digital HDTV

1 まえがき

2000年のBS放送開始に合わせて開発した第1世代のBSデジタル放送用チップセット⁽¹⁾を基に、地上デジタルHDTVをにらみ、特にシステム価格の低減と性能向上に主眼を置いた第2世代チップとして“TC81240TBG”を開発した。2003年から地上デジタル放送対応HDTVに搭載されている。このチップは、MPEG(Moving Picture Experts Group)ビデオ・オーディオデコード処理や映像・グラフィックス処理機能に加え、システム全体の制御を行う64ビットホストマイコンを集積し、更に機能と性能を向上させたものである。以下に、このLSIの特長について述べる。

2 システム仕様とLSI諸元

TC81240TBGの内部構成を図2に、仕様とLSI諸元を表1

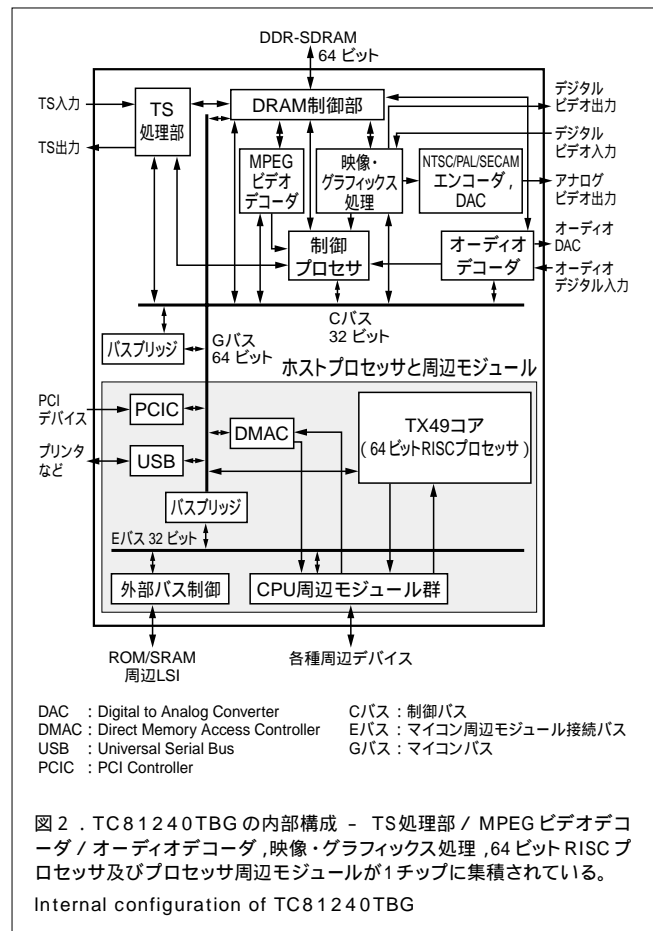


図2 . TC81240TBGの内部構成 - TS処理部 / MPEGビデオデコーダ / オーディオデコーダ、映像・グラフィックス処理、64ビットRISCプロセッサ及びプロセッサ周辺モジュールが1チップに集積されている。

Internal configuration of TC81240TBG

表1 . TC81240TBG の仕様と LSI 諸元

Specifications of TC81240TBG

項目		内容
ホ ス ト C P U	CPUコア	64ビット RISC 命令 / データキャッシュ = 32 Kバイト/32 Kバイト
	CPU周辺機能	PCIコントローラ, USB(Rev1.1)ホストコントローラ, DMAコントローラ, I ² C, SIO, PIO, スマートカードインタフェース
メモリ制御機能		DDR-SDRAM 64ビット 133 MHz (160 MHz(TC81240ATBG))
T S 処 理 関 連	TS入力	3系統 最大200 Mbps
	TS出力	1系統
	セクションフィルタ	1TS当たり48
	デスクランブラ	MULTI2, DES/TDES, DVB
	PES処理	ビデオ最大4, オーディオ最大3
オ ー ド イ オ 処 理 機 能	対応フォーマット	AAC, AC-3, MPEG1, MPEG2(Basic stereo) Layer1, 2
	ビデオ対応フォーマット	地上デジタル/BS/CS, ATSC 18 フォーマット, DSS, DVB
デ コ ー ド 能 力	デコード能力	HD + SD, SD × 4, HD(水平 1/2ダウンコンパート) × 2 JPEG ベースライン
	表示プレーン	ビデオ2, グラフィックス2, カーソル/背景1
ビ デ オ グ ラ フ ィ ク ス 表 示 機 能	VTR出力プレーン	ビデオ1, グラフィックス
	グラフィックス	bitBLT, スケーリング, プレンディング
	順次走査変換	動き適応, フィールド内, フレーム内
	ノイズ除去	動き適応, フレーム巡回型
	ビデオエンコーダ	NTSC/PAL/SECAM
L S I 諸 元	パッケージ	T-BGA 648ピン
	プロセス	0.18 μm CMOS Al6層
	電源電圧	+ 1.5 V(コア), + 2.5 V(アナログ, DDR), + 3.3 V(I/O)
	ランダム部ゲート数	2.7 × 10 ⁶ ゲート
	素子数	31.8 × 10 ⁶ トランジスタ

SIO : Serial Input Output PIO : Parallel Input Output
 DES/TDES : Data Encryption Standard/Triple DES
 DVB : Digital Video Broadcast PES : Packetized Elementary Stream
 AAC : Advanced Audio Coding
 AC-3 : Dolby Laboratory Corporation の開発した音声圧縮方式
 ATSC : Advanced Television Systems Committee
 DSS : Digital Satellite System SD : Standard Definition
 NTSC/PAL/SECAM : カラー-TV方式 I/O : 入出力セル
 PCI : Peripheral Components Interconnect

に示す。第1世代のデジタルTV用チップセットが3チップにより達成しているシステム機能を、1チップで実現したうえで、更に行くつかの点で機能・性能上の強化を行っている。

まず、ホストプロセッサとして、高性能64ビットRISC(縮小命令セットコンピュータ)コアであるTX49コアを採用し、230MIPS(Million Instructions Per Second)の高いプロセッサ能力を得ている。

トランスポートストリーム(TS)処理部は、入力ポート数、最大ビットレート、デスクランブラの種類など、第1世代から機能を大幅に向上させている。

MPEGビデオデコーダは、地上デジタル放送やBSデジタル放送の2画面表示や裏録機能の実現のため、HDの2チャンネル(ch)同時デコード機能対応として、水平解像度を1/2

に落としたダウンコンデコード機能を追加した。HDの2ch同時フルデコードは外部DRAMのバンド幅の制限のために困難であるが、水平ダウンコンデコードを利用することで、画質への影響を最小限に抑えながら、HDの2chデコードを可能としている。

映像・グラフィックス表示部では、スケーリング、bitBLT (bit boundary BLock Transfer)の機能を大幅に強化した。

LSI化には0.18 μmのアルミニウム(AI)6層CMOS(相補型金属酸化膜半導体)プロセスを用い、T-BGA(Tape Ball Grid Array)648ピンに封止した。

3 統合メモリアーキテクチャと外部DRAM

マイコンとHD-MPEGデコーダ、グラフィックスチップを1チップ化するにあたり、チップの端子数及びシステムコスト削減の観点から、外部DRAMを共通化した統合メモリアーキテクチャ(UMA)が不可欠となる。

DRAM制御部は、DRAMのバンド幅の制限のために、内部にFIFO(First In First Out)を持ち、DRAMアクセスのバースト長を極力長くしている。DRAM制御部中にアクセスコマンドのキューを持ち、アクセスの順番を調整することで、オーバヘッドの低減を図り、実効バンド幅の低下を抑えている。

TC81240TBGでは、外部DRAMとして、クロックの両エッジを用いるDDR(Double Data Rate)タイプのSDRAM(Synchronous DRAM)を採用した。最大容量256 MバイトまでのDRAMをサポートする。データ幅を64ビット、動作クロックを133 MHzとすることにより、ピークのバンド幅として2.1 Gバイト/sが得られる。データ幅を32ビットで動作させるモードも持たせ、外付けメモリの削減も含めた柔軟なシステム構築を可能としている。なお、HD2chデコード・表示の動作対応としてメモリバンド幅を拡張し、DDR-SDRAMの動作クロックを160 MHzまで対応したTC81240ATBGも新たに開発した。160 MHz動作時のピークバンド幅は2.5 Gバイト/sとなる。

4 コンフィギュラブルメディアプロセッサ

このLSIでは内部制御プロセッサとして、当社の開発したコンフィギュラブルメディアプロセッサMeP(Media embedded Processor)を用いている²⁾。このMePはTX49コアからの命令指示をベースとして、ビデオ・オーディオデコーダや映像・グラフィック処理などの制御を行う。更にセクション処理を実行するが、その要求処理性能実現のため、コンフィギュラブルメディアプロセッサの拡張機構を用いて、セクション処理のためのパターンマッチング専用ハードウェアモジュールを追加している。

5 映像・グラフィックス処理

映像・グラフィックス処理モジュールの内部構成を図3に示す。映像スケーリングフィルタ, 順次走査変換, bitBLTの処理はすべてDDR-SDRAMからDDR-SDRAMへの処理となっており, 内部動作は133 MHzで行う。

外部ビデオ入力はD4端子対応とした。スケーリングフィルタは表示用とVTRダウンコンバート用で計2系統持ち, 表示系スケーリングフィルタの輝度信号で水平12タップ・垂直4タップ, 色差信号で水平4タップ・垂直2タップの構成で, 係数はプログラマブルとした。グラフィックスのbitBLTエンジンにもスケーリングフィルタを内蔵し, グラフィックスやJPEG (Joint Photographic Experts Group) 静止画も高画質で, 拡大縮小を可能とする。

ウィンドウ表示は, 原則としてこのスケーリング付きの転送機能を利用して実施する。このためメイン画像の表示プレーン数は5枚であるが, 第1世代チップ以上のシステム的な自由度を持たせることができた。様々なTVセット表示仕様やセットトップボックス出力仕様への対応を, 内部制御プロセッサのファームウェアとTX49コアのドライバソフトウェアで実現させている。

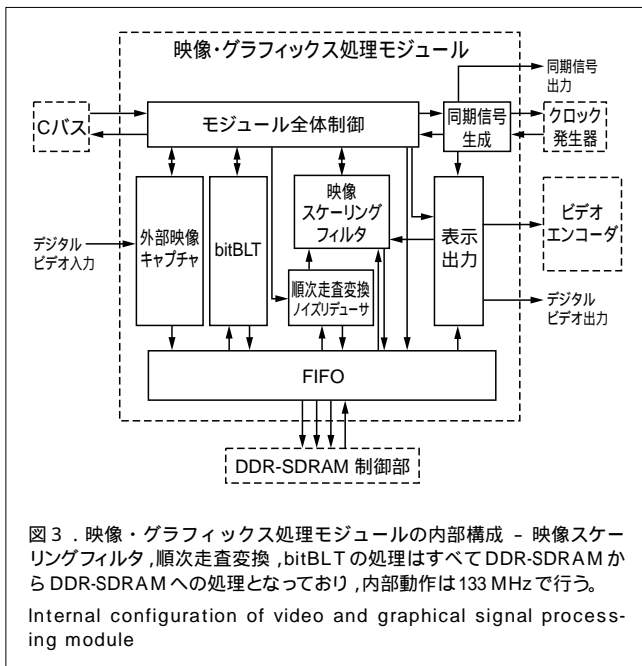


図3. 映像・グラフィックス処理モジュールの内部構成 - 映像スケーリングフィルタ, 順次走査変換, bitBLTの処理はすべてDDR-SDRAMからDDR-SDRAMへの処理となっており, 内部動作は133 MHzで行う。

Internal configuration of video and graphical signal processing module

6 あとがき

第1世代のBSデジタルチップセットのMPEGデコーダ, グラフィックス映像プロセッサの機能に加え, 高性能64ビットRISC及び周辺モジュールを集積した1チップデジタルTV用LSIの概要, 特長について述べた。

今後は, このLSIをベースに, 更にシステムコストの低減を図る一方で, 急速に立ち上がっている平面ディスプレイに対応する機能を盛り込み, LSI開発を進めていきたい。

(名古屋/甲斐)

映像処理 LSI

Back-End Video Processor LSI

1 まえがき

薄型, 大画面の液晶ディスプレイ(LCD)やプラズマディスプレイで高画質な映像を楽しみたいというニーズは高まりつつある。映像信号をLCDやプラズマディスプレイに表示するには, パネルの表示形式に合わせて映像信号形式を変換する必要がある。

今回, 様々な表示形式のLCD, プラズマディスプレイ, 反射型液晶パネル(LCOS)プロジェクトに表示できるデジタル映像処理LSI“TC90A94TBG”を開発した。1チップデジタルTV用デコーダLSI“TC81240TBG”とデジタル接続でき, 地上デジタル放送対応フラットパネルTVを構成できる。

以下に, このLSIの特長について述べる。

2 LSIの概要と特長

2.1 LSI概要

TC90A94TBGの内部構成を図4に, 主な仕様を表2に示す。このLSIは, 1,920 × 1,080画素以下の表示パネルに対応できるフォーマット変換機能を持っている。2系統のデジタル入力ポートがあり, 同時にTV信号, パソコン(PC)信号を入力できる。

一般に, LCDやプラズマディスプレイでは, PC信号を表示することも求められている。PC信号は4:4:4サンプルを保持したまま, R(赤), G(緑), B(青)信号からY(輝度信号), Cb(青色差信号), Cr(赤色差信号)に変換して処理することで, TV信号処理との共通化を図っている。

入力デジタル信号をいったん, 一定の内部処理クロックに変換して, ノイズリダクション, 順次走査変換, 垂直及び水平スケーリング処理を行った後, 表示パネルの駆動クロックにレート変換して出力する。

出力ポートはR, G, B信号各10ビットの単相クロック出力, あるいは二相クロック出力を選択する。

デジタル放送の画質を損なうことなく表示するには, アナログ信号に変換せずに処理することが望ましい。TC90A94TBGは,

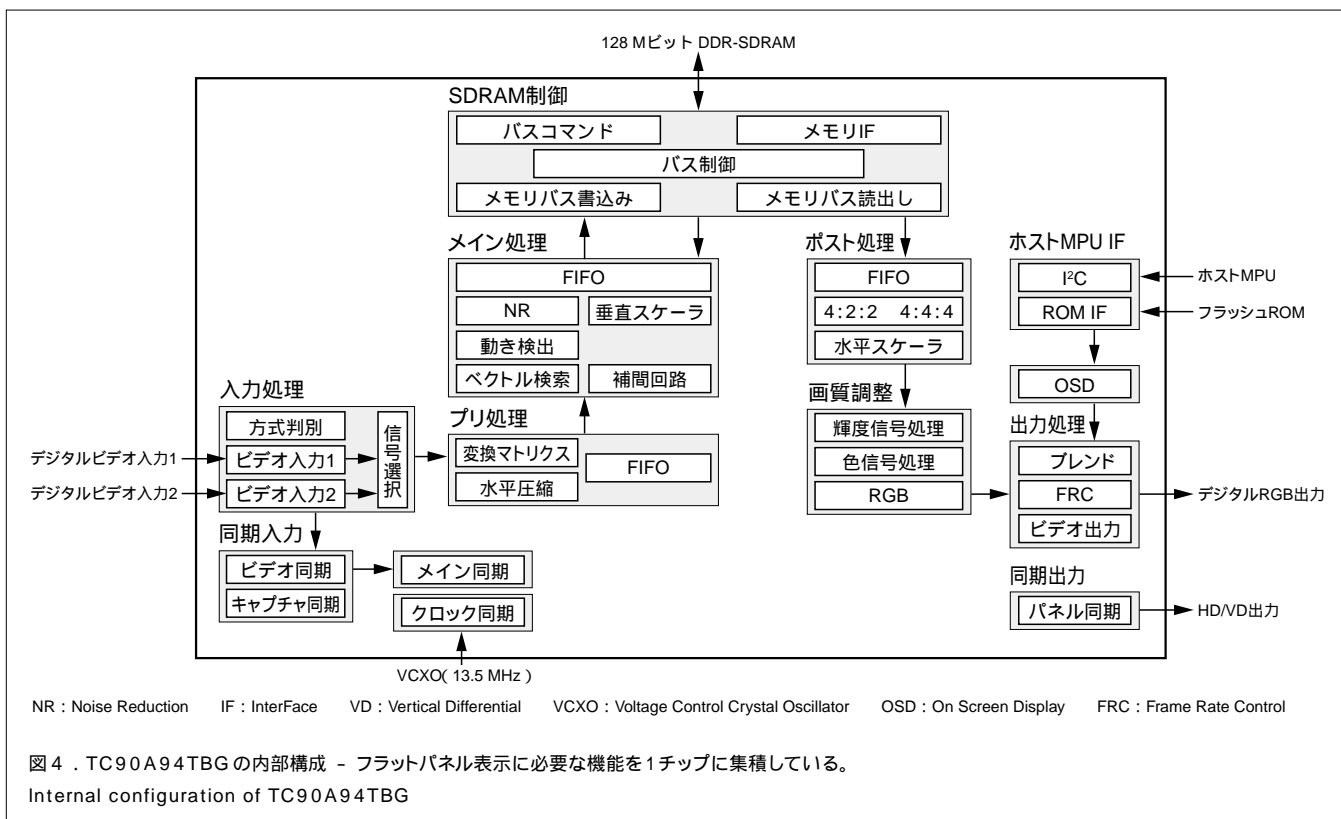


表2 . TC90A94TBGの概略機能及び仕様

Specifications of TC90A94TBG

機能分類	項目	仕様
入力処理	入力信号形式	1080i, 720p(順次走査), 480p, 576i, 480i VGA, SVGA, XGA, SXGA, UXGA
出力処理	出力信号形式 (表示パネル代表例)	853×480, 1024×768, 1280×768, 1366×768, 1920×1080
フォーマット 変換	順次走査変換	動き補償(480i 信号) 動き適応(1080i 信号) 2-2 ブルダウン処理, 2-3 ブルダウン処理
	スケーリング	垂直 / 水平 : 1/3 ~ 3 垂直 / 水平 ノンリニアスケーリング
	ノイズリダクション	動き適応, フレーム巡回型
画質調整	エンハンサ	水平エンハンサ, 垂直エンハンサ, LTI, CTI
	輝度信号処理	コントラスト調整, ブライト調整, 黒伸長, Y- 補正
	色信号処理	ゲイン調整, 色相調整, 相対位相 / 相対振幅
OSD	表示色数	128色
	アルファブレンド	256段階
メモリ制御	DDR-SDRAM コントローラ	バス幅 : 32 ビット 動作周波数 : 133 MHz 容量 : 8 Mバイト又は 16 Mバイト
LSI 諸元	パッケージ	T-BGA 480ピン
	プロセス	0.18 μm CMOS Al5層
	電源電圧	+ 1.5 V(コア), + 2.5 V(DDR), + 3.3 V(I/O)
	素子数	12.6 × 10 ⁶ トランジスタ
	消費電力	2.6 W

VGA : Video Graphics Array SVGA : Super VGA XGA : eXtended GA
SXGA : Super XGA UXGA : Ultra XGA LTI : Luminance Transient Improvement
CTI : Chrominance Transient Improvement

1チップデジタルTV用デコーダLSI(TC81240TBG)からの映像信号をデジタル信号で直接入力できるインタフェースを備えており,ディスプレイ部に出力するまでアナログ信号に変換することなく,映像信号を処理する。

また, Y/C(色信号)分離マルチカラーデコーダ(TC90A92 AFG)を前段に接続すれば,欧州,アジア向けのフラットパネルアナログ放送TVをオールデジタル処理で構成できる。

2.2 動き補償型順次走査変換

LCDやプラズマディスプレイは表示形式が順次走査であるので,入力映像信号が飛越し走査信号の場合は,順次走査信号に変換しなければならない。

従来の動き適応型順次走査変換では,動画はフィールド内信号から垂直LPF(Low Pass Filter)で補間信号を生成するので,動画と静止画の解像度の違いや動画での垂直解像度の低下,インタレース妨害が発生する。これは大画面TVではより顕著な画質劣化となる。

表3 . 動きベクトル検索の仕様

Specifications of motion vector estimation

項目	仕様
ベクトル検索方式	ブロックマッチング方式
検索範囲	水平 : ± 6画素, 垂直 : ± 2ライン
検索ブロックサイズ	16画素 × 4ライン
補間ブロックサイズ	8画素 × 2ライン

3 あとがき

TC90A94TBGは、480i(飛越し走査)入力信号では動き補償による順次走査変換を採用した。フィールド間で動きベクトルの検出を行い、前フィールドの映像信号を検出した動きベクトルに従って位置移動して補間する。動画の補間画素は垂直LPFを介さずに生成できるため、動き適応による順次走査変換よりも動画画質を向上することができる(表3)。

2.3 オーバサンプリング スケーリング

表示パネルの形式に合わせて水平と垂直の画素数を変換する際に、周波数帯域の確保と折り返し成分の除去は相反する関係にあるので、両者のバランスが難しい。TC90A94TBGでは、スケーリング処理の前にオーバサンプリングすることで、この問題に対応した。

順次走査に変換された信号を、垂直スケーリングしてSDRAMに書き込み、表示パネルに同期して読み出す。読み出されたY,Cb,Cr信号は4:2:2サンプルから4:4:4サンプルにアップレートした後、水平スケーリング処理する。スケーリングフィルタは、1/3圧縮の場合で輝度信号、色信号ともに水平13タップ・垂直6タップである。

2.4 画質調整

メリハリのある画像を表示するには、ディスプレイのダイナミックレンジを有効に活用し、ディスプレイのMTF(Modulation Transfer Function)を補償するなどの処理が必要である。当社では、従来のデジタル放送対応TVでは画質調整機能はアナログ回路で処理していたが、これをデジタル回路で実現した。

画質調整回路は、水平スケーリングの出力信号を4:4:4サンプルで受けて処理する。輝度信号処理と色信号処理に分かれており、輝度信号処理では映像信号の平均映像レベルや黒領域面積などを検出して、黒伸長ゲイン、黒レベル、輝度信号ガンマを制御する。更に、Y,Cb,Cr信号からR,G,B信号に変換した後、ホワイトバランス調整とRGB独立ガンマ補正を行う。

2.5 メモリ制御

外部メモリは、32ビットI/OのDDR-SDRAMである。表示パネルの解像度によって、8Mバイト又は16Mバイト容量のメモリを選択する。

PC信号は規格上様々なリフレッシュレートがあるが、LCDやプラズマディスプレイが表示できる同期周波数は限られているので、メモリ制御によりPC信号を表示できる同期周波数に変換する。

映像信号をLCD、プラズマディスプレイ、LCOSプロジェクタに表示するデジタル映像処理LSI TC90A94TBGを開発した。

1チップデジタルTV用デコーダLSI TC81240TBGを接続することで、デジタル放送対応TVをオールデジタル処理で構成できる。(石井)

文献

- (1) 桜井 優,ほか .BSデジタルハイビジョンテレビ用LSI .東芝レビュー .55, 8,2000 ,p.44 - 57 .
- (2) 松井正貴 .システムオンチップの普及とMeP .東芝レビュー .58,5,2003 , p.2 - 8 .



中谷 隆 NAKATANI Takashi

セミコンダクター社 システムLSI事業部 システムLSI統括第一部主務。デジタルテレビ用システムLSIの企画、開発に従事。
System LSI Div.



名古屋 哲雄 NAGOYA Tetsuo

セミコンダクター社 システムLSI事業部 システムLSI統括第一部参事。映像機器の開発、デジタル映像機器用システムLSIの開発業務に従事。映像情報メディア学会会員。
System LSI Div.



甲斐 直行 KAI Naoyuki, D.Sc.

セミコンダクター社 システムLSI事業部 システムLSI統括第一部主幹、理博。グラフィックスLSI、MPEG関連システムLSIの企画、開発業務に従事。情報処理学会会員。
System LSI Div.



石井 聡之 ISHII Satoyuki

デジタルメディアネットワーク社 青梅デジタルメディア工場AV設計第一部参事。デジタル映像処理LSIの開発・設計に従事。映像情報メディア学会会員。
Ome Operations - Digital Media Network