

不純物偏析ショットキー接合を用いた高駆動電流トランジスタの開発

Development of High-Performance MOSFETs with Dopant-Segregated Schottky Junctions

木下 敦寛

■ KINOSHITA Atsuhiko

内田 建

■ UCHIDA Ken

古賀 淳二

■ KOGA Junji

不純物偏析ショットキー (DSS : Dopant Segregated Schottky) 接合をソース・ドレインに適用したトランジスタを試作し、従来型トランジスタと特性を比較した。DSS 接合は、拡散層と比べてより浅い、低抵抗な接合を可能とする一方、チャンネルの伝導特性は劣化させないことがわかった。また、チャンネル長が 100 nm 以下の DSS トランジスタにおいては、世界で初めて^(注1)のリング発振に成功した。更に、チャンネル長 50 nm の n 型チャンネルデバイスにおいて、同等の構造を持った従来型トランジスタと性能を比較したところ、駆動電流が 25 % 向上することを確認した。この性能向上は、従来型トランジスタにおいて一世代先の性能に相当する。

The performance of metal-oxide-semiconductor field-effect transistors (MOSFETs) with dopant-segregated Schottky (DSS) junctions was compared to that of conventional MOSFETs. The DSS technique makes it possible to form shallower junctions with much lower resistance than the conventional source/drain structures. Additionally, it does not degrade the channel mobility.

Toshiba has demonstrated complementary metal-oxide semiconductor (CMOS) ring oscillation with sub-100 nm-channel DSS source/drain MOSFETs for the first time in the world. A DSS n-type MOSFET with a 50 nm channel length shows a drive current 25 % greater than that of a conventional n-type MOSFET. The drive current of DSS transistors corresponds to that of the next generation of conventional transistors.

1 まえがき

シリコン ULSI の高性能化は、その構成素子である表面電界効果トランジスタ (以下、トランジスタと略記) を微細化することによって実現されてきた。トランジスタの微細化においては、チャンネル長を短くし、ゲート酸化膜厚を薄くすることに加え、ソース・ドレイン層を浅く、低抵抗にすることが本質的に重要である。

最近、2010 年以後に量産予定の LSI (50 nm 世代) に向けた高駆動力デバイスとして、ショットキー トランジスタが注目されている⁽¹⁾。ショットキー トランジスタは、pn 接合 (拡散層) をソース・ドレインとする従来型トランジスタとは異なり、金属/シリコン接合 (ショットキー接合) をソース・ドレインとして用いたトランジスタのことで、ソース・ドレインの寄生抵抗が低いことや、短チャンネル効果耐性が高い⁽²⁾ ことなどから、高駆動電流が期待されている。これはショットキー接合のほうが拡散層よりも浅い接合の形成が容易で、しかも圧倒的に低抵抗であることによる。

ところが、これまで LSI プロセスにおいて広く使われてきた、コバルトシリサイドやニッケルシリサイドといった金属材料を用いてショットキー トランジスタを作製しても、これは

ショットキー接合の障壁高さ (ϕ_b) が大きすぎて駆動電流が著しく低下してしまうことから、実用化には至っていない。

そこで東芝は、不純物偏析ショットキー (DSS : Dopant Segregated Schottky) 技術によって ϕ_b を変調するという新しいアプローチを提案し、これまでに、コバルトシリサイドを用いて試作した DSS トランジスタにおいて、従来型トランジスタと同等の駆動電流を達成した⁽²⁾。しかし、これらの試作デバイスは、チャンネル長が長く、寄生抵抗の低減効果が現れにくかったため、従来型トランジスタに対する優位性を示すことができなかった。

今回当社は、チャンネル長が 100 nm 以下の DSS トランジスタを試作し、その特性を従来型トランジスタと比較した。その結果、低いソース・ドレイン抵抗と優れた短チャンネル効果耐性が観察され、従来型素子と比べて大きな優位性があることがわかった。

2 DSS トランジスタの基本特性

従来型トランジスタと、今回当社が試作した DSS トランジスタの素子構造図を図 1 に示す⁽³⁾。DSS トランジスタには、ソース端のショットキー障壁を下げるため、ヒ素 (As) 及びボロン (B) ドープの DSS 接合がソース・ドレイン電極として用いられている。

(注 1) 2005 年 1 月現在、当社調べ。

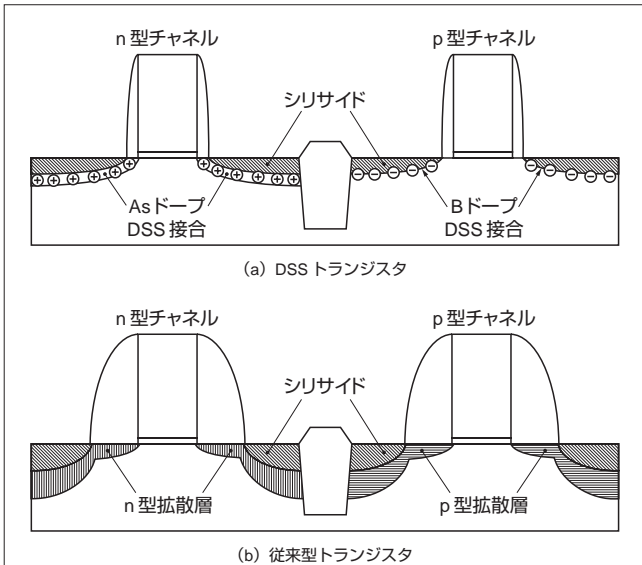


図1. DSS トランジスタと従来型トランジスタ — 従来型トランジスタのソース・ドレイン層が不純物拡散層によって形成されるのに対し、DSS トランジスタでは不純物を偏析させた金属/半導体接合によって形成されている。

DSS MOSFET and conventional MOSFET

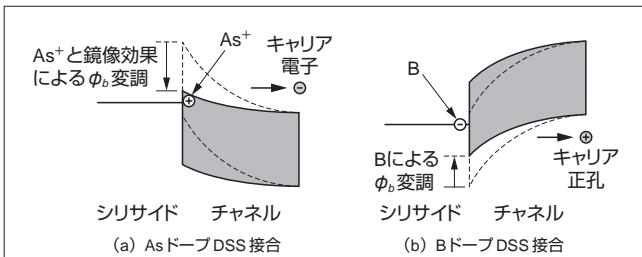


図2. DSS 接合における ϕ_b 変調のメカニズム — As ドープと B ドープとでは、 ϕ_b の主要な変調メカニズムが異なる。これらのメカニズムの解明とコントロールがDSS接合の開発には必要不可欠である。

Mechanism of ϕ_b modulation in DSS junctions

DSS 接合における支配的な ϕ_b 変調のメカニズムを模式的に図2に示す。 ϕ_b 変調のメカニズムは、不純物の種類によって異なっている。

As ドープのDSS接合の場合、支配的な ϕ_b 変調のメカニズムは、As⁺ イオンによって直接変調された ϕ_b が、界面電界の増加によって生じた鏡像効果により更に下げられる。

一方、B ドープのDSS接合では、鏡像効果による変調は小さく、 ϕ_b がBによって直接変調される効果が支配的である。したがって、As ドープのほうが全体として変調量が大きいこと、また、B ドープDSS接合にはまだ改善の余地があることがわかった。

これらの ϕ_b 変調メカニズムの違いは、DSS接合形成後の不純物の分布の違いによってもたらされており、As原子が金属/シリコン界面のシリコン側に比較的多くしみ出すのに

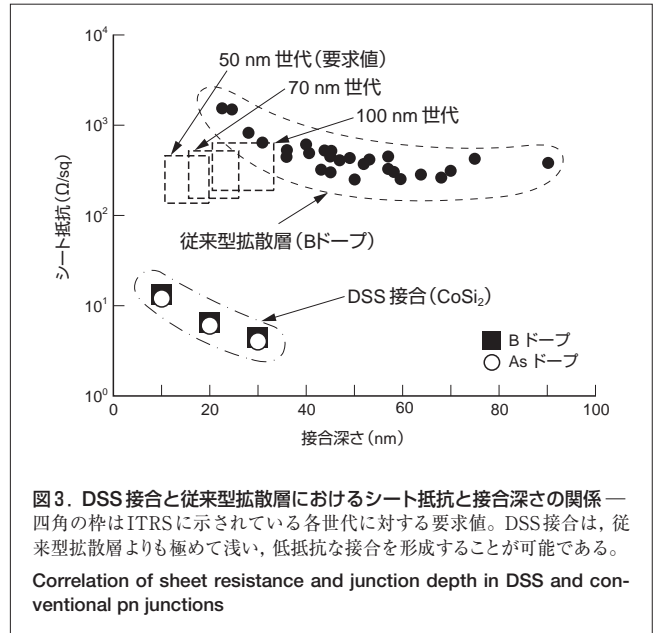


図3. DSS 接合と従来型拡散層におけるシート抵抗と接合深さの関係 — 四角の枠はITRSに示されている各世代に対する要求値。DSS接合は、従来型拡散層よりも極めて浅い、低抵抗な接合を形成することが可能である。

Correlation of sheet resistance and junction depth in DSS and conventional pn junctions

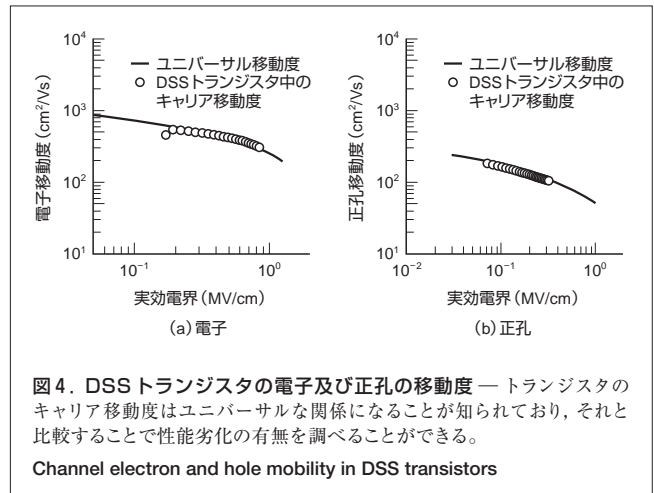


図4. DSS トランジスタの電子及び正孔の移動度 — トランジスタのキャリア移動度はユニバーサルな関係になることが知られており、それと比較することで性能劣化の有無を調べることができる。

Channel electron and hole mobility in DSS transistors

対し、B原子はそのほとんどが金属側にとどまるために生じる。更に、これらの挙動の違いは、おおまかに金属及びシリコン中における不純物の溶解度によって決まる。これらの物理的な性質を理解し、精密に制御することで初めてDSS接合を形成することができる。

DSS接合と従来型⁽⁴⁾拡散層の、ソース・ドレイン間のシート抵抗と接合深さの関係を図3に示す。複数の半導体メーカーが共同で定めたITRS (International Technology Roadmap for Semiconductors)に示されている、各世代に対する要求値も併せて示してある。図3からわかるように、DSS接合を用いると、従来型拡散層よりも極めて浅く、低抵抗な接合を形成できることがわかる。

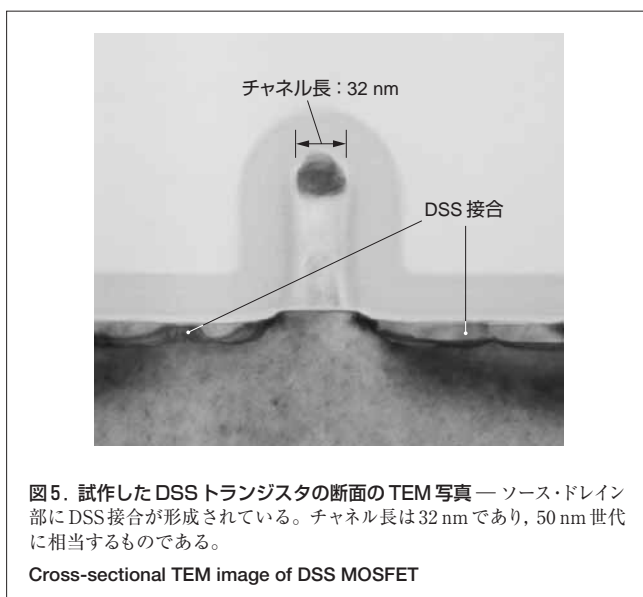
また、50 nm以降の世代では、現状、従来型拡散層を用いてITRSの要求値を満たすことが非常に困難であるのに対し、DSS接合を用いれば問題なくクリアできることもわかる。

DSS接合がソース・ドレインとしての優れた特性を持っていることはわかったが、実際にソース・ドレインに適用した場合に、チャンネルの伝導特性に悪影響を与えないことを調べておく必要がある。チャンネルの伝導特性が劣化しているかどうかは、キャリア移動度がユニバーサル移動度と一致するかどうかによって調べることができる。

DSSトランジスタの電子及び正孔の移動度を図4に示す。DSSトランジスタでは、ユニバーサル移動度と完全に一致したキャリア移動度が得られており、このことは、DSS接合を拡散層の代わりにソース・ドレインとして用いても、チャンネルの伝導特性を劣化させないことを意味している。

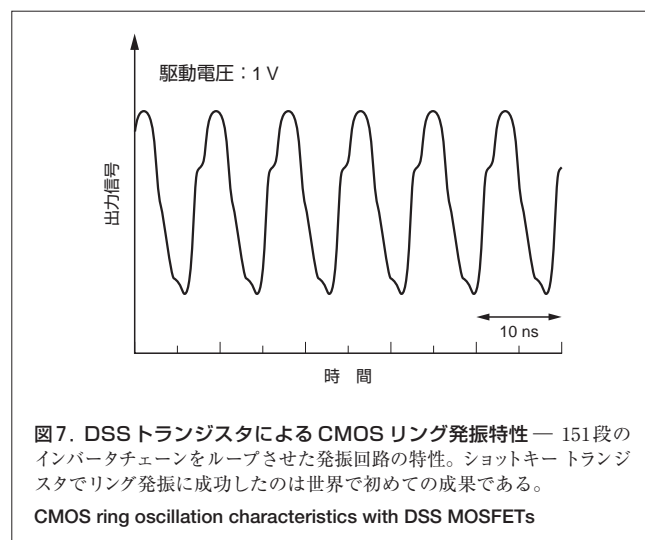
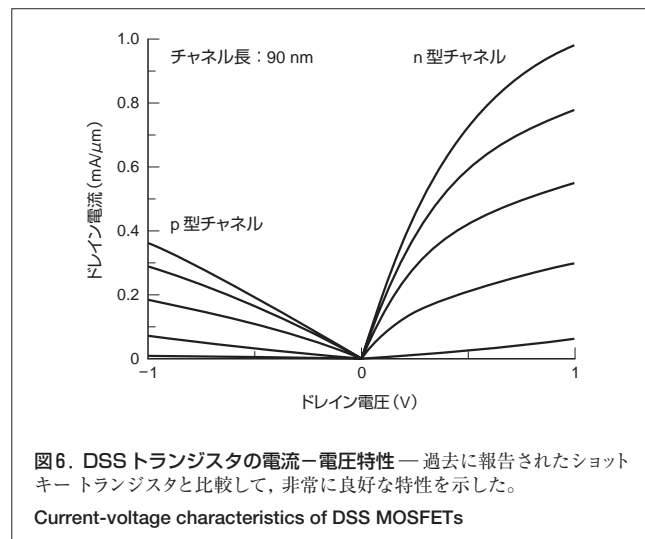
3 微細ゲートにおけるCMOS動作

今回試作したDSSトランジスタの断面の透過電子顕微鏡(TEM)写真を図5に示す。通常のトランジスタでは拡散層によって形成されているソース・ドレインが、コバルトシリサイドによるDSS接合によって形成されている。



ゲート長90 nmのDSSトランジスタは図6に示すように、n型チャンネル、p型チャンネルともに良好な電流-電圧特性を示した。更に、実際のロジック回路の動作例として、151段のCMOSリングオシレータ特性を測定したものを図7に示す。図7からわかるとおりノーマルな発振特性を示しており、基本的な回路動作には問題ない歩留りが確保されている。

ショットキー トランジスタにおいてこれほど良好なCMOSリング発振を確認したのは、世界で初めてのことである。これらの結果から、DSS接合はショットキー トランジスタの問題点を克服するための有力なプレークスルー技術の一つであると言える。



4 従来型トランジスタとの特性比較

次に、従来型トランジスタとDSSトランジスタの特性を比較した。ここでの比較は、すべてn型チャンネルデバイスについて行った。

チャンネル長50 nmのDSSトランジスタの電流-電圧特性を図8に示す。これまでと同様、良好なトランジスタ特性が得られている。50 nm程度のチャンネル長になると、寄生抵抗の低減効果や、高い短チャンネル効果耐性などのショットキー トランジスタの利点が発揮され、従来型トランジスタに対してメリットが発揮できると期待している。

そこで、DSS接合をソース・ドレインに適用した効果を調べるため、DSSトランジスタと従来型トランジスタの駆動電流-待機電流特性を比較した(図9)。同等の条件において比較を行うため、従来型トランジスタのオフセットスペース厚みは、DSSトランジスタの側壁厚みと同じにしてある。同じ

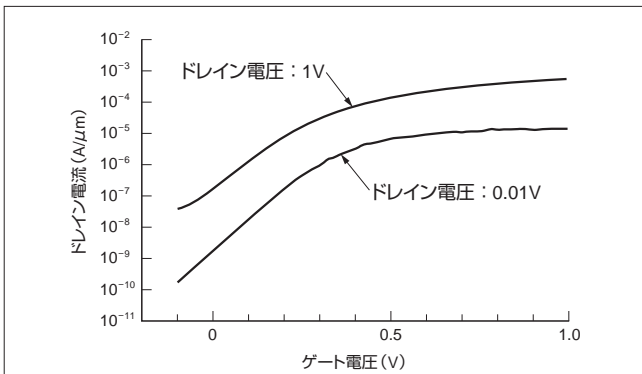


図8. チャンネル長 50 nm の DSS トランジスタの特性 — 良好なスイッチング特性が得られている。

Characteristics of DSS MOSFET with 50 nm channel length

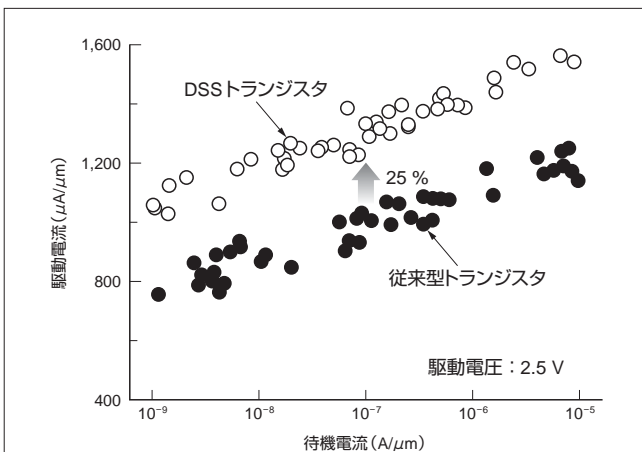


図9. 駆動電流—待機電流特性の比較 — DSS トランジスタは同じ待機電流で比較した場合、従来型トランジスタよりも 25% 優れた駆動電流を示した。これは、一世代分の微細化を進めた効果に相当する。

Comparison of drive current-standby current characteristics

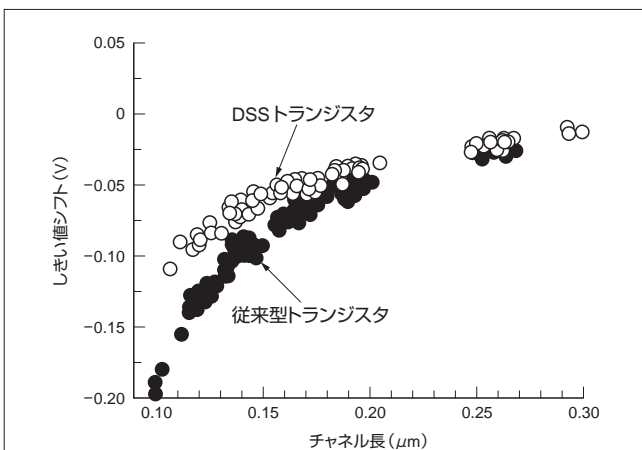


図10. 短チャンネル効果耐性比較 — DSS トランジスタのチャンネル長が短くなるにつれてしきい値がシフトするようすを、従来型トランジスタと比較した。このしきい値のシフトが小さいほうが微細化しやすく、特性として優れている。

Comparison of short-channel-effect immunities

待機電流 ($100 \text{ nA}/\mu\text{m}$) で比較すると、従来型トランジスタと比べ、DSS トランジスタには 25% の駆動電流の向上が見られた。これは、一世代分の微細化を進めたほどの性能向上に相当し、極めて大きな改善である。

ちなみに、上述の駆動電流の向上は、DSS トランジスタの寄生抵抗が従来型よりも小さいことだけによってもたらされたわけではない。図 10 は、前記デバイスの短チャンネル効果耐性を比較したものである。図 10 から、DSS トランジスタは、従来型トランジスタと比べて明らかに優れた短チャンネル効果耐性を示している。このことは、DSS トランジスタの短チャンネル効果耐性の高さが、先の電流駆動力向上に大きく寄与することを意味している。

5 あとがき

ショットキー トランジスタは、これまで、従来型トランジスタを越える可能性を指摘されながら、技術上の問題点があり実用化に成功した例がなかった。DSS 接合は、それらの問題点をブレークスルーする可能性を秘めており、当社がコンセプトの提案から開発までを行っている独自技術である。

今回の検討結果により、DSS トランジスタの高性能実証はひとまず成功したといえるが、信頼性やリーク電流特性など、より開発サイドの検討を今後更に進めていく必要がある。

文献

- (1) ITRS. International Technology Roadmap for Semiconductors. 入手先 <<http://public.itrs.net/>>, (参照 2006-02-06).
- (2) 木下敦寛, ほか. 不純物偏析ショットキー接合トランジスタ. 東芝レビュー, 59, 12, 2004, p.52-55.
- (3) Kinoshita, A., et al. "High-performance 50-nm-Gate-Length Schottky-Source/Drain MOSFETs with Dopant-Segregation Junctions". Symposium on VLSI Technology. Kyoto, 2005-06, The Japan Society of Applied Physics/IEEE Electron Devices Society. p.159-160.
- (4) Skotnicki, T. "Transistor Scaling to the End of the Roadmap". Proceedings of the Symposium on VLSI Technology, Short Course. Honolulu, Hawaii, 2004-06, The Japan Society of Applied Physics/IEEE Electron Devices Society.



木下 敦寛 KINOSHITA Atsuhiro

研究開発センター LSI 基盤技術ラボラトリー。MOS デバイスの研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.



内田 建 UCHIDA Ken

研究開発センター LSI 基盤技術ラボラトリー主任研究員。MOS デバイス、量子効果デバイスの研究・開発に従事。応用物理学会、IEEE 会員。
Advanced LSI Technology Lab.



古賀 淳二 KOGA Junji

研究開発センター LSI 基盤技術ラボラトリー主任研究員。MOS デバイス、量子効果デバイスの研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.