

# 低ビットコストで大容量な3次元構造のNAND型フラッシュメモリ

Bit-Cost Scalable Technology for Low-Cost and Ultrahigh-Density Flash Memory

田中 啓安 青地 英明 仁田山 晃寛

■ TANAKA Hiroyasu

■ AOCHI Hideaki

■ NITAYAMA Akihiro

東芝は低ビットコストで製造できる大容量メモリを実現するため、BiCS (Bit-Cost Scalable) 技術の開発を行っている。

この技術は、多層に積層させた3次元のメモリセルアレイを一括加工で形成することを特長としており、メモリ容量を大きくするために積層数を増やしても工程数の増加が少なく、メモリのビットコスト(1ビット当たりの価格)を継続的に低減することができる。

Toshiba has been developing bit-cost scalable (BiCS) technology to realize low-cost and ultrahigh-density flash memory. A feature of BiCS technology is that a whole stack of electrode plates is punched through and plugged by another material to form a three-dimensional memory cell array. This fabrication process is expected to achieve a continuous reduction in bit-cost, since the number of processes will not significantly rise against increases in the number of layers for future ultrahigh-density memories.

## 1 まえがき

これまでNAND型フラッシュメモリの大容量化とビットコスト低減は、微細化や多値化<sup>(注1)</sup>などの技術によって支えられてきた。しかし、微細加工技術は今後難易度が非常に高くなること、必要な加工装置の価格が高騰すること、更にデバイス的な難易度が増加することが予測されるため、微細化によるビットコストの低減は非常に厳しくなると考えられている。そのため、微細化だけに頼らずビットコストを低減し、大容量メモリを製造することのできる新しいブレイクスルー(突破)技術が必要になってきており、例えば、多値化を進めた超多値化やメモリの積層化などが検討されている。

ここでは、東芝が独自に考案した、積層数の増加に伴い継続的にビットコストを低減することができるBiCS (Bit-Cost Scalable) 技術、及び同技術をフラッシュメモリへ応用した例を述べる<sup>(1)</sup>。

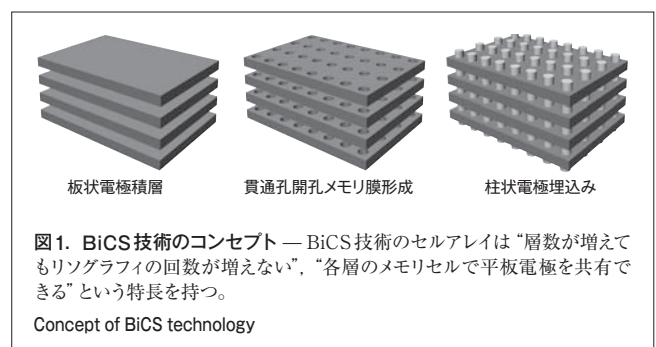
## 2 BiCS技術

これまで提案されてきたメモリの3次元化の方式は、ビット線<sup>(注2)</sup>とワード線<sup>(注3)</sup>を直交させて積み重ね、その交点にメモリセル(抵抗変化膜と整流性素子)を置くクロスポイントタイプ<sup>(2)</sup>、<sup>(3)</sup>及び平面上で作ったメモリをそのまま積み重ねていくタイプ<sup>(4)</sup>、<sup>(5)</sup>の2種類であった。しかし、これらの方式ではメモリ層

を1層追加するたびに最小線幅のリソグラフィ<sup>(注4)</sup>が2~3回必要であり、1層ごとのプロセスコストが非常に高い。更に各層のコントロールゲートそれぞれを駆動する回路が必要のため、積層数の増加に伴い周辺回路が大きくなってしまいうという問題もある。したがって、3次元化に伴いビット密度を上げることはできるが、プロセスコスト及びチップ面積の増加によりビットコストが高くなるため、実用には向いていなかった。

それに対しBiCS技術は、“積層数が増えてもリソグラフィの回数が増えない”、“積層数が増えても周辺回路(ドライバ)の面積が増えない”というコンセプトを元に考案され、メモリの積層数を増やすことで、継続的にビットコストを低減してゆくことができる。

BiCS技術のセルアレイ製造工程の概念を図1に示す。まず、板状の電極膜と層間絶縁膜を交互に積み重ね、積層構造を形成する。次に、その積層構造を貫通する孔(あな)を一度のリソグラフィとRIE (Reactive Ion Etching) で一括で開け



(注1) 一つの素子に多くの情報を蓄積すること。

(注2) メモリセルからデータを取り出すための信号線。

(注3) 2次元状に並んだメモリセルアレイの中から、一列を選択するための制御信号線。

(注4) 感光剤を塗布した物質を、部分的に露光することでパターンを生成する技術。

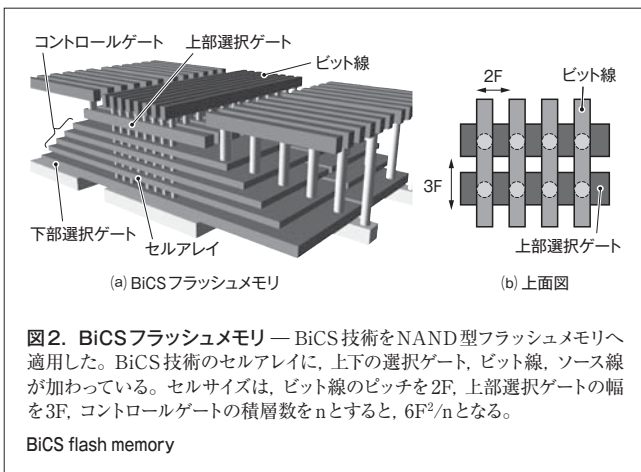
る。そして、その孔の側面にメモリ膜を形成した後、柱状電極を埋め込む。このような製造工程において、メモリセルは平板電極と柱状電極の交点に一括形成される。積層数が増えても貫通孔は一度の加工で開けるため、電極と層間絶縁膜を堆積(たいせき)する工程数の増加だけでビット密度を上げることができる。また、行選択線と列選択線で柱状電極1本を選択できる構造にすると、各層のメモリセルで電極を共有できるため、電極を駆動する回路の面積増を少なくすることもできる。これらの特長から、BiCS技術を用いると、積層数の増加に伴い継続的にビットコストを低減できる。

### 3 BiCSフラッシュメモリ

BiCS技術を適用したBiCSフラッシュメモリにおいて、2章で述べた平板電極と柱状電極は、それぞれNAND型フラッシュメモリのコントロールゲートとNAND string<sup>(注5)</sup>に対応している。従来のNAND型フラッシュメモリはフローティングゲートに電荷を蓄積していたが、BiCSフラッシュメモリにおいてはフローティングゲートを配置するスペースがないことと、一括加工との親和性により、平板電極と柱状電極の交点には電荷蓄積膜(ONO(酸化膜-窒化膜-酸化膜)の積層膜など)が配置されており、膜中の電荷蓄積量で情報を記憶する。

NAND型フラッシュメモリとして動作させるため、BiCS技術のセルアレイに、上下の選択ゲート、ビット線、及びソース線<sup>(注6)</sup>を加えた。コントロールゲートは上下選択ゲートによって挟まれ、その構造の上にビット線、下にソース線が配置されている(図2(a))。

上下選択ゲート及びコントロールゲートは縦型FET(電界効果トランジスタ)であるが、最初にゲート、次にゲート絶縁膜、そしてチャンネルとして用いるシリコン柱が形成される。これは

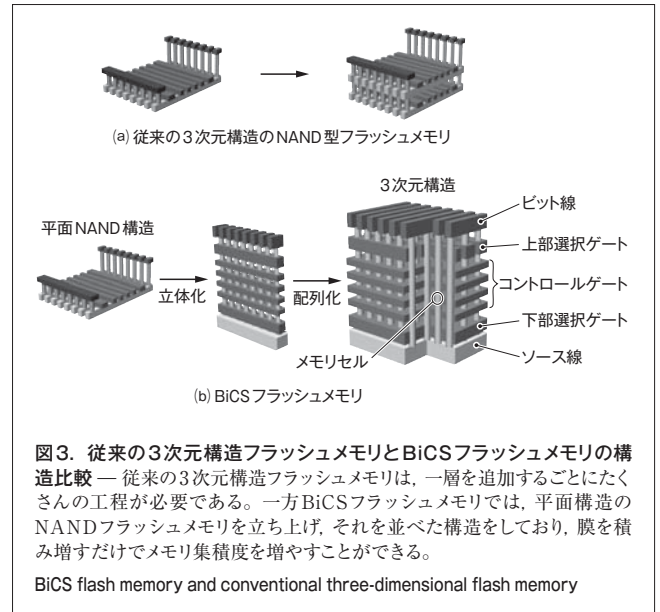


(注5) NAND型フラッシュメモリにおいて、ビット線側選択ゲートとソース線側選択ゲートの間で直列接続されたメモリセル。

(注6) メモリセルのソースを共通に束ねる配線。

通常のFETとは逆の順番である。

BiCSフラッシュメモリの上面を図2(b)に示す。チャンネルとなる孔径を最小デザイン幅のFとし、上部選択ゲートの幅は孔とその合わせずれを考慮して2Fにしているため、ピッチは3Fとなっている。ビット線は細密で配置することができるため、2Fのピッチとなり、これよりメモリの積層数をn層とすると、セルサイズ(1セル当たりのチップ占有面積)は $6F^2/n$ となる。従来の3次元構造のNAND型フラッシュメモリとBiCSフラッシュメモリの構造比較を図3に示す。



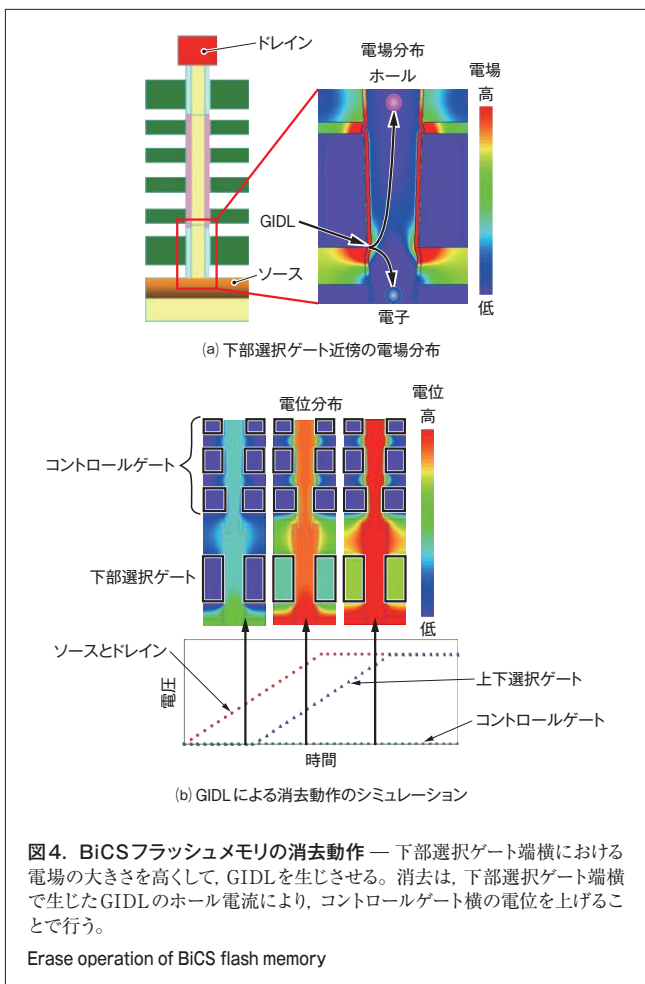
### 4 BiCSフラッシュメモリの動作

読出しとプログラム動作に関しては、平面のNAND型フラッシュメモリと同様の電圧印加条件で行うことができる。行選択線の上部選択ゲートと列選択線のビット線とで1本のNAND stringを選択し、その中の1ビットをコントロールゲートで選ぶ。上下選択ゲートを閉じることで、チャンネルは基板から切り離され、コントロールゲート直下の電位が局所的に変化する。そのため、上部選択ゲートが選択されていないNAND stringの、動作電圧による外乱に対する耐性は、平面構造のNAND型フラッシュメモリと遜色(そんしょく)ないと考えている。

消去動作に関しては、コントロールゲートのチャンネルが直接基板とつながっていないため、平面のNANDとは異なる。通常のNAND型フラッシュメモリでは、基板電位を上げることでフローティングゲートに書き込まれた電子を引き抜いていたが、BiCSフラッシュメモリでは、選択ゲート端のチャンネルで生じるGIDL(Gate Induced Drain Leakage)のホール電流でコントロールゲート下のチャンネル電位を上げて消去を行う。そのため、まずソースとドレインの電位を上げていき、その後少

し遅らせて上下選択ゲートの電位を上げる。

上述のような消去方式が実際に行えるのかを検証するため、シミュレーションを行った。結果を図4に示す。ソース、ドレイン及び上下選択ゲートの電位を徐々に上げていくことで、コントロールゲート下のチャンネル電位は上昇し、最終的にチャンネルの電位はソース及びドレインと等しい平衡状態に達し、消去に十分なチャンネル電位が得られることがわかった。

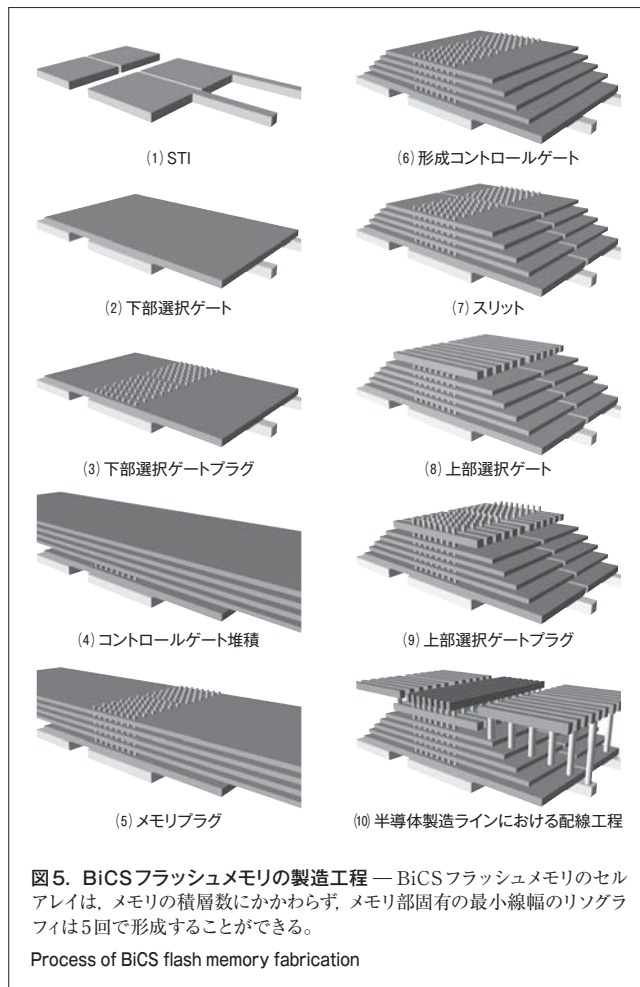


## 5 BiCSフラッシュメモリの製造工程

BiCSフラッシュメモリの製造工程を図5に示す。

BiCSフラッシュメモリのセルアレイは、メモリの積層数にかかわらず、メモリ部固有の最小線幅のリソグラフィは5回で形成することができる。

下部選択ゲート、コントロールゲート、上部選択ゲートトランジスタ部の孔開けで3回、上部選択ゲートのラインとスペースから成るパターン形成と、メモリを消去ブロックに分割するためのスリット加工を合わせて5回である。また、加工を工夫することによって孔開けを統合すること、及びスリット加工を解像度の低いリソグラフィを用い、その後の工程で溝の幅を狭め

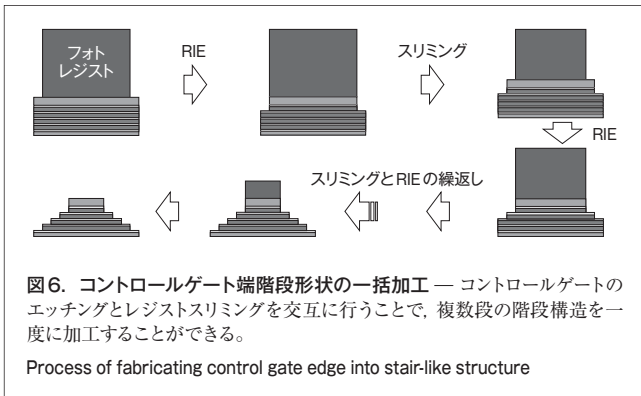


ることで、最小線幅のリソグラフィを最小で2回まで減らせると考えている。

上下選択ゲートとは異なり、コントロールゲートには電荷蓄積膜を堆積させないといけないため、現在下部選択ゲート、コントロールゲート、上部選択ゲートはそれぞれ別々に作製されている。STI (Shallow Trench Isolation) 形成、下部選択ゲートの形成、及び配線工程は、周辺回路の加工といっしょに行う。

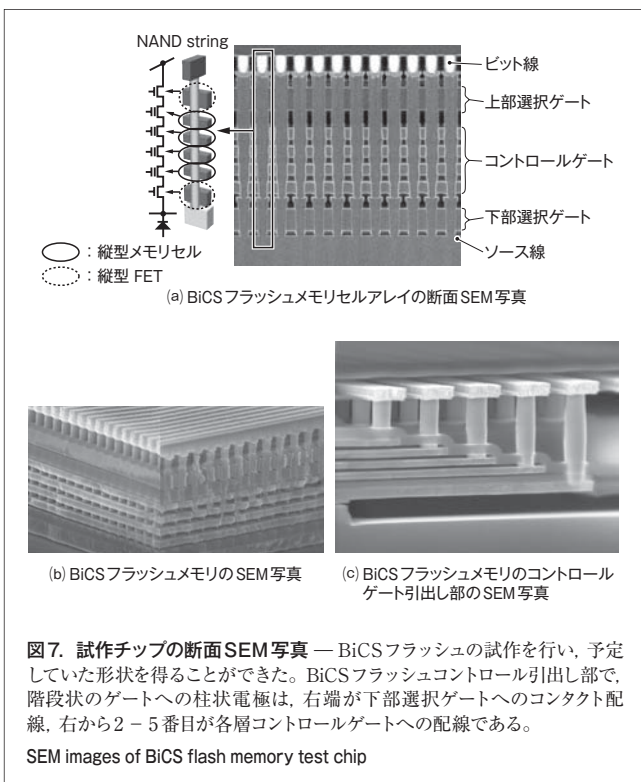
積層した平板電極各層への配線を行うために、平板電極の端を階段状に少しずつずらしておき、コンタクトを落とす領域を用意する必要がある。階段構造の各層それぞれをリソグラフィで加工していくとコストがかさみ、メモリセルを一括加工するコストメリットが出ないため、複数段の階段構造を一括で加工している。

図6に示すように、エッチングとスリミングを交互に行うことで、複数段の階段構造を一度に加工することができる。試作を行い、少なくとも4段は同時に加工できることを確認した。一度に加工できる段数は、レジストスリミングができる量 (=レジストの膜厚) で決まっており、レジスト膜を厚くすることで、一括加工できる層数を増やすことができる。また、階段構造



の各層への配線も個々に加工するとコストメリットが出ないため、厚めの窒化シリコン (SiN) をRIEのストップとして用い、複数層への配線を同時に加工している。

試作したBiCSフラッシュメモリのビット線方向断面の走査型電子顕微鏡 (SEM) 写真を図7(a)に示す。上下部選択ゲート、コントロールゲート、上部選択ゲートはそれぞれ独立に形成されている。上下の選択ゲートはp+<sup>(注7)</sup>のポリシリコン、チャンネルはn-<sup>(注8)</sup>のポリシリコンであり、拡散層はn+<sup>(注9)</sup>に不純物が注入されている。コントロールゲートはp+ポリシリコン、チャンネルは不純物の注入を行っていないポリシリコンできており拡散層を持たないため、ゲートからの回り込み電界によって電



(注7) p型半導体領域において、不純物濃度の比較的高い部分に使われる。  
 (注8) n型半導体領域において、不純物濃度の比較的低い部分に使われる。  
 (注9) n型半導体領域において、不純物濃度の比較的高い部分に使われる。

子を蓄積させ、拡散層の代わりとする。ソース線はn+に不純物が注入されたシリコン基板を用いている。

図7(b), (c)は、セル部の3次元断面とコントロールゲート引出し部のSEM写真であり、図2(a)に対応するものである。

## 6 あとがき

BiCSフラッシュメモリのコンセプト, NAND型フラッシュメモリへの応用, 動作原理, 及び製造方法について述べた。この技術は将来の大容量メモリの候補の一つであり、多くの技術課題を克服し、テラ (T: 10<sup>12</sup>) ビット級の不揮発メモリを実現するため、更なる研究開発を進めていく。

## 文献

- (1) Tanaka, H., et al. "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory". VLSI Tech. IEEE, Kyoto, 2007-06, the Japan Society of Applied Physics and the IEEE Electron Devices Society, Japan, IEEE, 2007, p.14 - 15.
- (2) Li, F., et al. Evaluation of SiO<sub>2</sub> Antifuse in a 3D-OTP Memory. IEEE Trans. Dev. Mat. Rel. 4, 3, 2004, p.416 - 421.
- (3) Baek, I. G., et al. "Multi-layer Cross-point Binary Oxide Resistive Memory (OxRRAM) for Post-NAND Storage Application". IEDM Tech. Dig. IEEE, Washington, 2005-12, Electron Device Society of IEEE, United States, IEEE, 2005, p.769 - 772.
- (4) Jung, S. M., et al. "Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node". IEDM Tech. Dig. IEEE, San Francisco, 2006-12, Electron Device Society of IEEE, United States, IEEE, 2006, P.37 - 40.
- (5) Lai, E. K., et al. "A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory". IEDM Tech. Dig. IEEE, San Francisco, 2006-12, Electron Device Society of IEEE, United States, IEEE, 2006, p.41 - 44.



田中 啓安 TANAKA Hiroyasu

セミコンダクター社 半導体研究開発センター 先端メモリデバイス技術開発部。次世代大容量メモリの技術開発に従事。

Center for Semiconductor Research & Development



青地 英明 AOCHI Hideaki

セミコンダクター社 半導体研究開発センター 先端メモリデバイス技術開発部主幹。次世代大容量メモリの技術開発に従事。

Center for Semiconductor Research & Development



仁田山 晃寛 NITAYAMA Akihiro

セミコンダクター社 半導体研究開発センター 先端メモリデバイス技術開発部長。次世代メモリの技術開発に従事。

Center for Semiconductor Research & Development