

超高密度不揮発性メモリを実現する3次元構造のパイプ型BiCSフラッシュ技術

各層1 Gビットの16積層メモリのテストチップを実現

携帯可能なデジタル機器やSSD (Solid State Drive) などに用いられるNAND型フラッシュメモリは、記憶容量の大容量化と低価格競争が激化しており、更に高度な微細加工技術と高価な設備が必要となっています。

東芝は、NAND型フラッシュメモリの更なる大容量化に向け、メモリの積層化を極めて低い製造コストで実現する、当社独自のBiCS (Bit Cost Scalable) 技術を開発してきました。今回新たに、メモリ列の構造を直線型からパイプ型に変更することで、メモリの動作特性と信頼性を大幅に改善し、多値動作を実現しました。

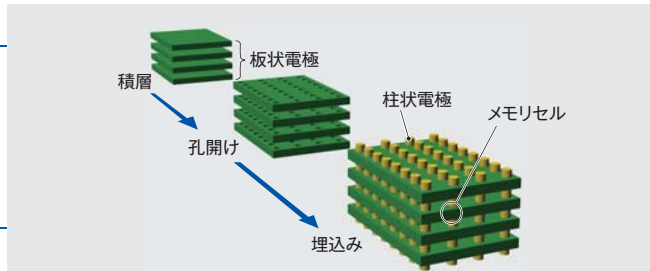


図1. BiCS技術のコンセプト—平面電極と層間絶縁膜を交互に積層し、最上層から最下層まで貫通する孔を一度に開け、開口した孔に柱状電極を一括して埋め込み、平面電極と柱状電極の交点にメモリを形成します。積層数を増加しても、加工に必要な工程数が変わらないことが特長です。

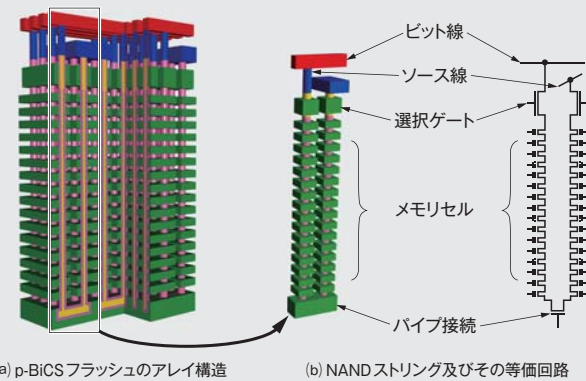


図2. p-BiCSフラッシュの概要—p-BiCSフラッシュのレイアウト概要とNANDストリング及びその等価回路を示します。レイアウトは、BiCS技術のコンセプトを具体化したメモリ構造です。

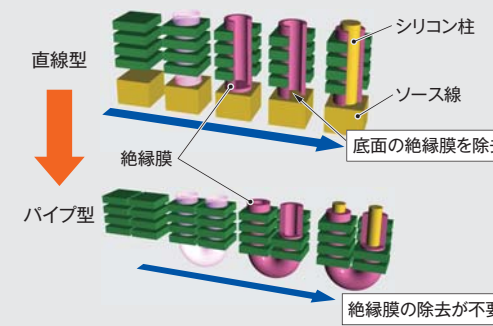


図3. 直線型とパイプ型の製造工程の比較—従来の直線型BiCSフラッシュでは、メモリ膜をたい積後に孔底のメモリ膜を除去する工程が必要でした。p-BiCSフラッシュではメモリ膜の除去が不要となり、メモリ膜の特性及び信頼性が向上しました。

表1. テストチップの概要

項目	仕様
プロセス	60nm CMOS
実効セル面積	0.00082 μm^2
メモリ膜	Si酸化膜/窒化Si膜/Si酸化膜
メモリ孔径	66 nm
積層数	16層
NANDストリング長	32 NAND
配線	3層の金属配線 (アルミニウム/銅/タングステン)

CMOS: 相補型金属酸化膜半導体

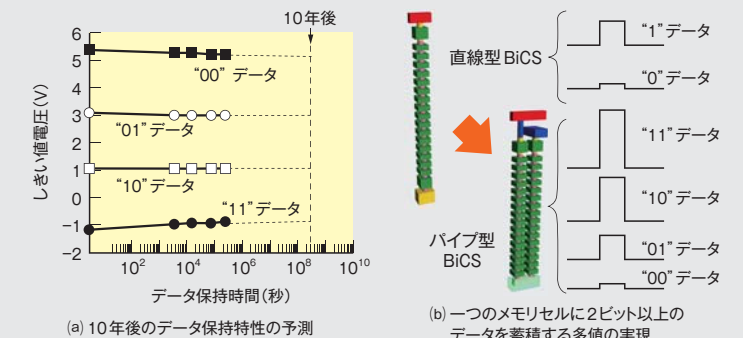


図4. 多値動作におけるデータ保持特性—NANDストリングを直線型からU字形状のパイプ型に変更してBiCSフラッシュの多値動作を実現しました。10年経過後もデータ保持特性の劣化は十分小さいことがわかります。

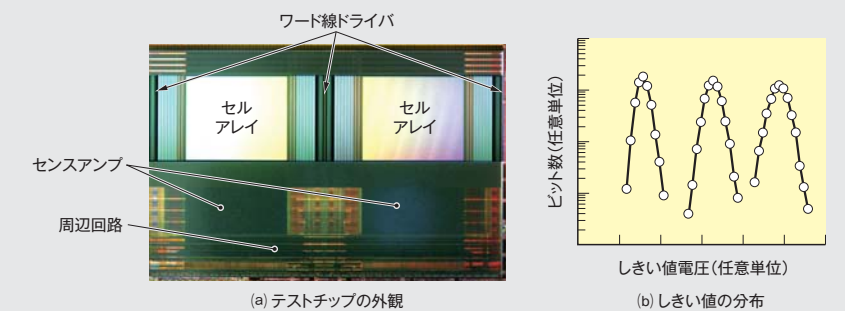


図5. テストチップと動作の検証—しきい値の分布から、実効セル面積が1ビット当たり0.00082 μm^2 のメモリセルの動作が検証できました。

BiCS技術の課題とその解決策

これまで、NAND型フラッシュメモリの大容量化とメモリ1ビット当たりの製造コスト(ビットコスト)の低減は、メモリセルの面積を縮小する微細化と単一のメモリセルに2ビット以上のデータを蓄積する多値化によって実現されてきました。

今後も継続的にメモリセル面積の縮小を進めるためには、高度な微細加工技術の開発と高価な微細加工装置への投資などが必要です。そのため、微細化だけに頼らない新しいブレイクスルー技術の必要性が高まり、例えば多値化を進めた超多値化やメモリの積層化などが検討されています。

東芝は、メモリの積層化を極めて低い製造コストで実現する、当社独自のBiCS技術を開発してきました。BiCS

技術の製造プロセスでは、ゲート電極と層間絶縁膜を交互に積み重ね最上層から最下層まで貫通する孔(あな)を一度に開け、不純物を含むシリコン(Si)を柱状に埋め込みます(図1)。その結果、Si柱をゲート電極層が一定間隔ごとに覆う構造となり、各交点にあらかじめメモリ膜として窒化Si膜などを形成しておけば、NAND型のメモリセルとして機能します。多数の素子を直列接続して一括処理できるため、積層数を増やせば接続素子数が増え、チップ面積を増やすことなく大容量化できます。

直線型からパイプ型への変更

BiCS技術を適用して製造したパイプ型のNAND型フラッシュメモリ(p-BiCSフラッシュ)の概要を図2に示します。平面電極とSi柱の交点に形

成した縦型トランジスタを直列に接続したNANDストリングの上端に選択ゲートが接続されます。また、隣接するNANDストリングの下端はパイプ接続と呼ばれるトランジスタで接続され、NANDストリングを介して接続された選択ゲートの上端は、それぞれビット線とソース線に接続されます。

これまでのBiCSフラッシュは、NANDストリングの上下両端に選択ゲートを接続した直線型の構造でした。図3に示す直線型のBiCSフラッシュの製造工程では、積層構造に貫通する孔を開けた後、メモリ膜をたい積し、孔底のメモリ膜を取り除き、下層のソース線や選択トランジスタにSi柱を接続するプロセスが必要でした。この際、側壁のメモリ膜に損傷を与えずに孔底のメモリ膜だけを剥離する工程は非常に難しく、側壁のメモリ膜の信

頼性を劣化させる問題がありました。

一方、p-BiCSフラッシュでは、パイプ型で孔底が存在しないため、孔底のメモリ膜を取り除く工程が不要となり、メモリ膜の損傷がなく、メモリ膜の信頼性を向上できました。

また、直線型BiCSフラッシュでは、ソース線及び選択ゲートをNANDストリング下層に形成する必要がありました。NANDストリングのメモリ膜の形成には高温の熱工程が必要であり、選択ゲートのトランジスタの拡散層が熱拡散により広がり、トランジスタ特性が劣化する問題がありました。また、ソース線も同じ熱工程にさらされるため、Si基板に形成した高濃度の拡散層を用いる必要がありました。高濃度拡散層で形成されたソース線の抵抗は高く、大規模なメモリセルアレイからのデータ読出しが困難でした。

これに対して、p-BiCSフラッシュでは、メモリ膜形成の熱工程を経た後に選択ゲートとソース線が形成されるため、選択ゲートのトランジスタ特性は改善され、また、低抵抗の金属配線で形成されたソース線の適用が可能になり、大規模なチップでの動作に必要な読出しができるようになりました。

多値動作の実現

NANDストリングを直線型からU字形状のパイプ型に変更することでメモリ膜の特性を改善し、メモリの信号読出しマージンの拡大とデータ保持の信頼性を向上させた結果、BiCSフラッシュの多値動作が実現されました。多値動作におけるデータ保持特性を図4に示します。10年後まで外挿した特性の劣化は小さく、多値動作に必要な信頼性が確保できます。

試作チップによる動作検証

60 nmのデザインルールの加工技術により16層のメモリセルを積層したメモリ容量32 Gビットのテストチップを試作し、実効セル面積が1ビット当たり0.00082 μm^2 のメモリセルの動作を検証しました(表1、図5)。

今後の展望

BiCS技術の更なる高度化を進め、積層数をいっそう増大して、NAND型フラッシュメモリの大容量化に貢献していきます。

勝又 竜太

セミコンダクター社
先端メモリ開発センター
先端メモリデバイス開発部参事