

微細化限界を打破する最先端 CMOS デバイス技術

Advanced CMOS Device Technologies beyond Conventional Scaling Limit

宮下 桂

中山 武雄

松岡 史倫

■ MIYASHITA Katsura

■ NAKAYAMA Takeo

■ MATSUOKA Fumitomo

従来の CMOS (Complementary Metal-Oxide Semiconductor : 相補型金属酸化膜半導体) ロジック LSI では、微細化だけで性能、消費電力、及びコストの改善を同時に達成してきたが、最近の世代では、微細化だけでは性能が改善されないという問題に直面している。その限界を打破するために、最新の 45 nm 世代では、微細化以外の性能改善技術を導入し始めている。

今回、更にその先の 32 nm 世代以降向けに、不純物偏析ショットキー接合 nFET (n 型電界効果トランジスタ) と Si (110) 面上 SiGe (シリコンゲルマニウム) ソース・ドレイン pFET の導入を検討し、その効果を実証した。これらの技術は、低消費電力用途及び高性能用途の双方のシステム LSI に導入可能な技術である。

Conventional complementary metal-oxide semiconductor (CMOS) logic large-scale integrations (LSIs) have simultaneously achieved higher performance, lower power dissipation, and lower cost by sustaining the scaling of the CMOS. However, the achievement of these enhancements by CMOS scaling rules is becoming difficult in devices of the latest generation. To improve performance in the latest 45 nm technology node, the development of new technologies other than conventional scaling has begun.

For 32 nm technology node and beyond, Toshiba has developed dopant-segregated Schottky (DSS) source/drain (S/D) n-type field-effect transistors (nFETs) and embedded silicon germanium S/D p-type FETs (pFET) on Si (110) surfaces ((100) eSiGe pFETs), and confirmed the effectiveness of these technologies. The newly developed technologies are applicable to both low-power system LSIs and high-performance system LSIs.

1 まえがき

携帯機器用や情報家電用の最先端システム LSI を実現するうえで、従来より高性能、低消費電力、及び低コストの CMOS デバイス技術が必要である。従来の CMOS デバイス技術は、素子の各寸法と電源電圧を前世代から約 0.7 倍に縮小することで、性能向上、消費電力削減、及び低コスト化を同時に実現してきた。これを“微細化”と呼ぶが、最近の CMOS ではそう単純にはいなくなってきた。特に性能に関しては、性能の一つの指標である“駆動電流がゲート長に反比例する”という古典的描像が崩れた現在、この微細化の副作用を補てんするために、高チャネル移動度と低寄生抵抗を備えているデバイスの出現が待たれる。

今回、東芝は、不純物偏析ショットキー接合 nFET (Dopant Segregated Schottky Source/Drain nFET : 以下、DSS nFET と略記) と Si (110) 面上に SiGe ソース・ドレインを形成した pFET (以下、(110) eSiGe pFET と略記) を開発した。ここでは、32 nm 世代 CMOS 以降に適用予定のこれらの技術につき詳細を述べる。

2 DSS nFET の概要 ⁽¹⁾⁻⁽⁴⁾

従来型 nFET のソース・ドレイン電極は、半導体 PN 接合に

より形成されているが、この DSS nFET のソース・ドレイン電極は、金属シリサイドと偏析不純物によるショットキー接合で形成されており、この点が構造上の相違である。

DSS nFET の断面構造写真を図 1 に、DSS 接合近傍の As (ヒ素) 原子の深さ方向のプロファイルを図 2 に示す。DSS 接合界面に As 原子が高濃度で偏析しているようすがわかる。

DSS nFET の特長をまとめると、次のようになる。

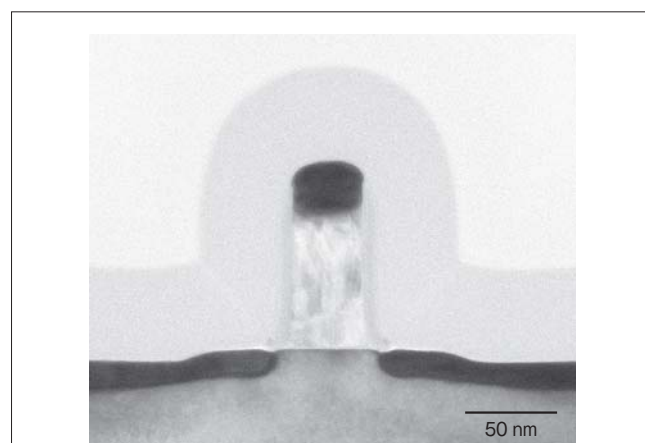
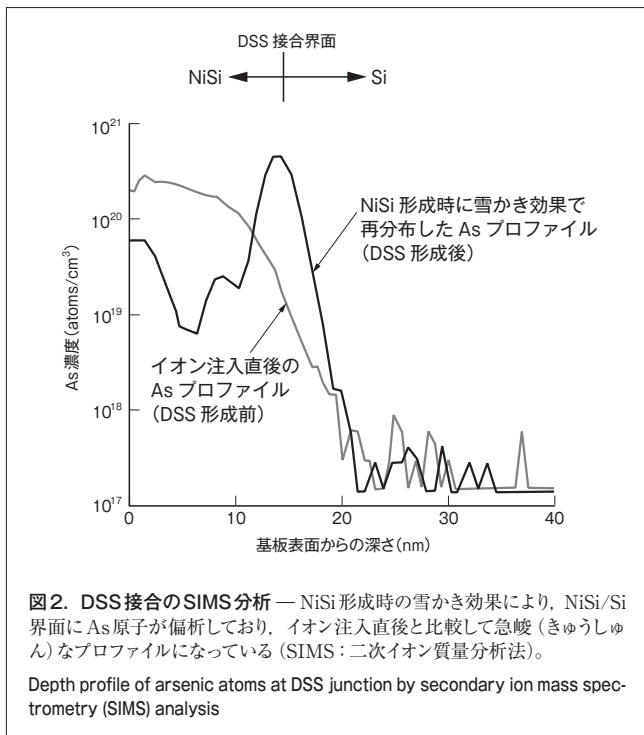


図 1. DSS nFET の断面 TEM 写真 — 従来型 nFET と比べて、NiSi (ニッケルシリサイド) 端部がゲート電極端部により近接しているのが特徴である (TEM : 透過型電子顕微鏡)。

Cross-sectional transmission electron microscope (TEM) image of DSS nFET



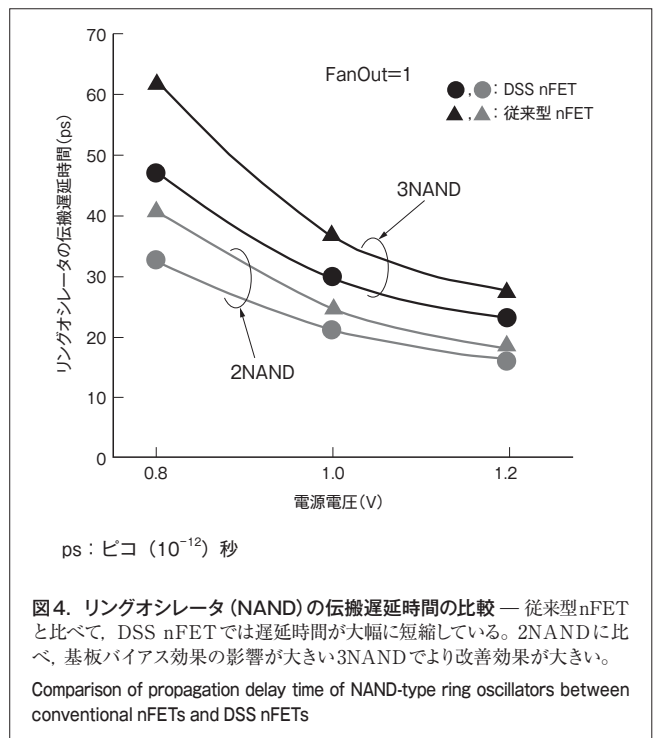
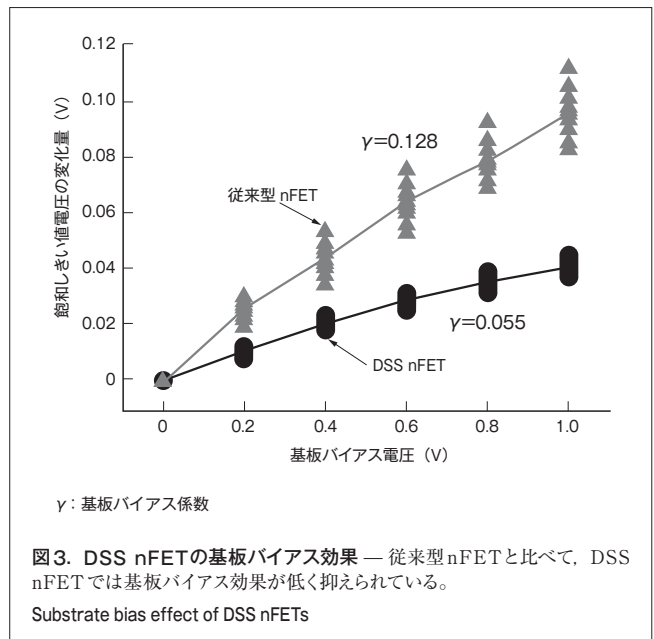
- (1) 雪かき効果によって形成された高濃度界面不純物とシリサイド間のコンタクト抵抗が低い。
 - (2) ゲート電極端からシリサイド端までの距離が非常に短く、従来のエクステンションソース・ドレイン部が金属化されているため、ソース・ドレイン寄生抵抗が削減される。
 - (3) ソース端のキャリア注入速度が、従来型nFETと比べて速い。
 - (4) ソース端のポテンシャルピンニングにより、基板バイアス効果の影響を受けにくい。
 - (5) ゲート側壁スペーサ長が短いため、ローカルストレスを与えるブースタ技術の効果が大きくなる。
- 以上のDSS nFETの特長を生かした実デバイスへの適用について次章で述べる。

3 DSS nFETのアプリケーション

3.1 低消費電力版ロジック回路への適用⁽²⁾

一般に、低電圧でCMOSロジック回路を駆動するうえで、低電圧でのFETの性能劣化は大きな問題となる。特に多入力NANDゲートにおいては、低電圧時に基板バイアス効果がより顕著になるため、ゲートオーバドライブが減少して性能劣化を生じやすい。

今回、DSS nFETを適用することで、基板バイアス係数を従来型の0.128から0.055まで削減することに成功した(図3)。これは、DSS nFETのソース端のポテンシャルピンニングによるものと考えられる。この効果により、電源電圧0.8Vでの



3NANDリングオシレータの実測において、伝搬遅延時間が20%も短縮された(図4)。

3.2 低消費電力版SRAM回路への適用⁽³⁾

低電圧でのSRAM(Static RAM)動作を実現するためには、低電圧でのスタティックノイズマージン及びセル電流の確保が必須となる。DSS FETを適用した場合のSRAMのバタフライカーブを図5に示すが、電源電圧0.7Vにおいて、100mV以上のスタティックノイズマージンが得られた(図6)。一方、DSS FETのキャリア注入速度が高いという特質が効

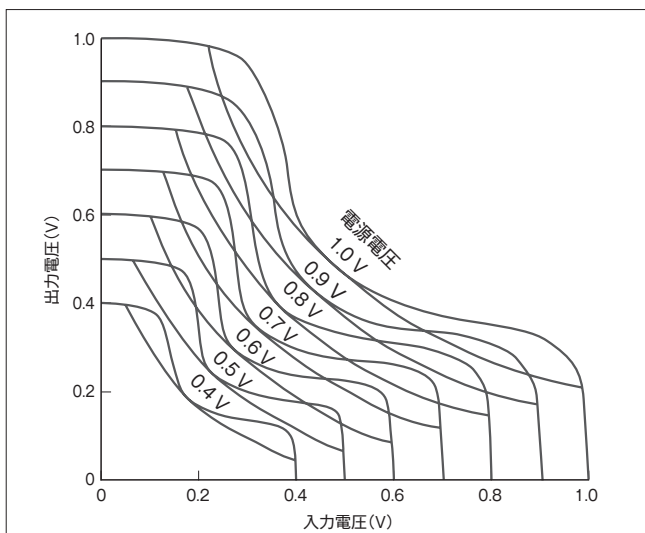


図5. DSS FETを適用したSRAMのバタフライカーブ—DSS FETを適用したSRAMにおいて、良好なバタフライカーブが得られた。
Butterfly curves of static random access memory (SRAM) cell with DSS FETs

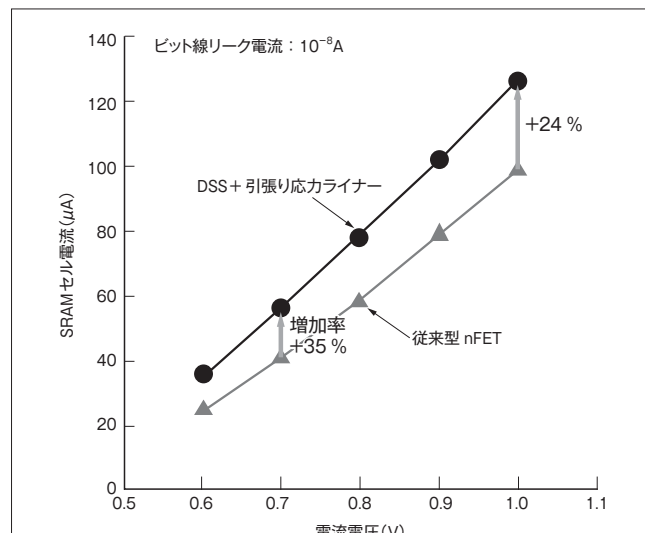


図7. SRAMセル電流の電源電圧依存性—従来型nFETと比べて、SRAMセル電流は、電源電圧が1.0Vで24%、0.7Vで35%増加している。
Vdd dependence of cell current of SRAM cell with DSS FETs

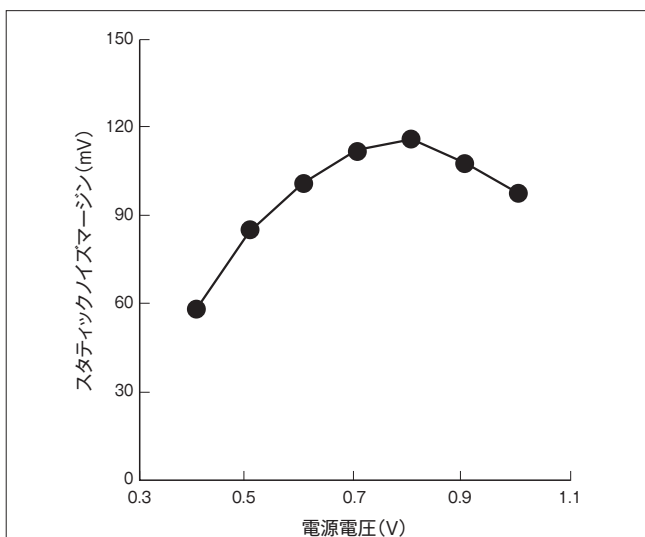


図6. SRAMスタティックノイズマージンの電源電圧依存性—電源電圧が0.7Vに至るまで、100mV以上のスタティックノイズマージンを維持している。
Vdd dependence of static noise margin of SRAM cell with DSS FETs

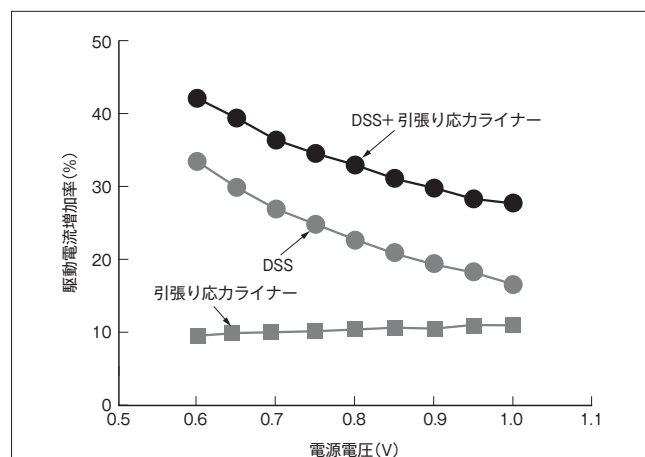


図8. DSSと引張り応力ライナーによる駆動電流の改善—電源電圧1.0Vでは、DSS自体により駆動電流は16%増加する。更に、引張り応力ライナーにより、駆動電流が10%増加することがわかった。
Ion improvement ratios due to DSS and tensile stress liner

果を發揮し、従来型nFETに対して電源電圧1.0VにおけるSRAMセル電流が24%増加した。更に、特筆される点として、低電圧動作において致命傷となる基板バイアス効果がDSS FETでは少ないという特質により、電源電圧0.7Vにおいて、SRAMセル電流が35%増加したことが挙げられる(図7)。

3.3 超高性能ロジック回路への適用^{(3),(4)}

DSS nFETを超高性能ロジック回路へ適用するためには、チャネル移動度の向上、ソース端におけるキャリア注入速度の増加、及び寄生抵抗の低減が必要である。チャネル部に引張り応力を発生させるシリコン窒化膜ライナーをDSS

nFETの上部にたい積させることで、ゲート長が短いFETにおいてチャネル移動度を向上させ、駆動電流を増加させることに成功した(図8)。

更に、DSSイオン注入後にレーザーアニール技術を適用することで、接合界面の不純物濃度を高く保つことができたため、キャリア注入速度と寄生抵抗の双方を改善することができた(図9)。これらの技術を最適化することにより、電源電圧1.0V、オフ電流100nA/μmにおいて、1,310μA/μmという高い駆動電流を実現することに成功した(図10)。これは、ポリシリコンゲート電極を用いたFETにおける、世界最高性能^(注1)である。

(注1) 2008年1月現在、当社調べ。

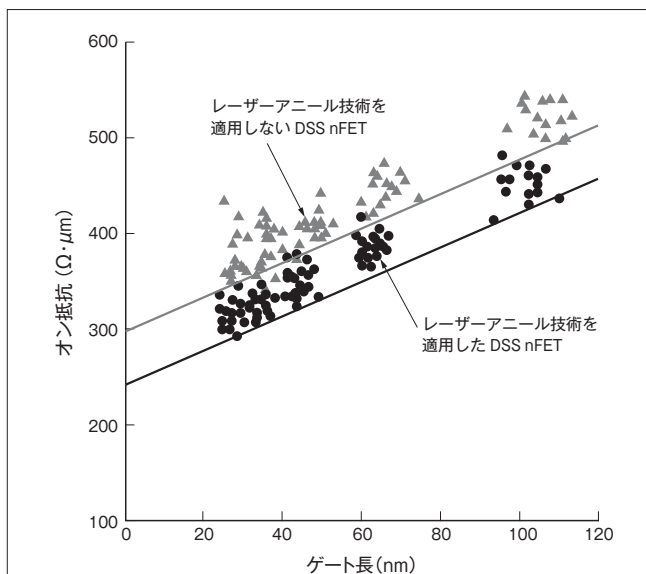


図9. レーザーアニール技術によるDSS nFETの寄生抵抗の改善 — レーザーアニール技術によりDSS界面のドーパントが高濃度化されることにより、寄生抵抗が240 ($\Omega \cdot \mu\text{m}$)まで低減される。レーザーアニール技術を用いないDSS nFETの寄生抵抗は300 ($\Omega \cdot \mu\text{m}$)である。

Improvement of parasitic resistance of DSS nFETs with laser spike annealing (LSA)

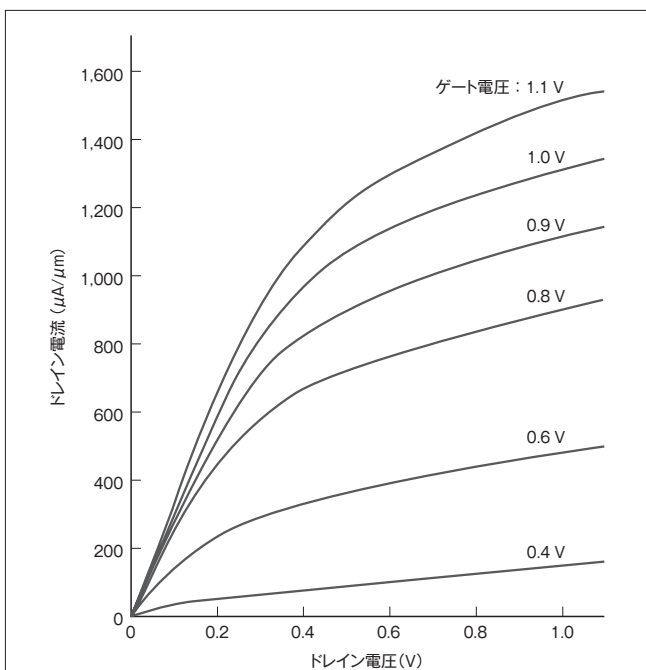


図10. 最適化されたDSS nFETの駆動電流特性 — ポリSiゲート電極を用いた系において、世界最高性能を達成した。

I_d - V_d characteristics of optimized DSS nFET

4 (110)eSiGe pFETの概要⁽⁵⁾

Si (110) 面上に形成したpFET ((110) pFET) のチャネル移動度は、従来のSi (100) 面上に形成したpFET ((100) pFET) と比較して高いことが知られている。一方、(100)

pFETに対して、チャネル直下に局所的な圧縮応力を印加することで正孔移動度を更に向上させる、圧縮応力シリコン窒化膜ライナーやSiGeソース・ドレインといった技術が、近年、実用化され始めている。今回、当社は、(110) pFETにSiGeソース・ドレインによる局所的な圧縮応力を印加する検討を行った(図11)。

(100) eSiGe pFETに対して、(110) eSiGe pFETの駆動電流は19%増加することが実証された(図12)。移動度の測定結果から、低電界領域での移動度の向上がこの改善の主要因であることが確認された。一方、高電界領域での移動度があまり向上していない点は、 SiO_2 (酸化シリコン)/Si (110) 界

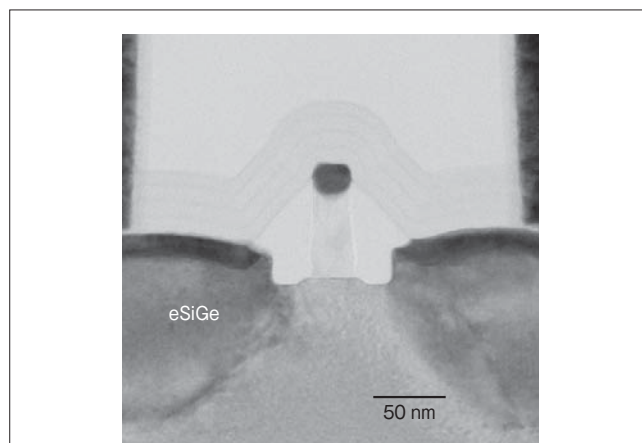


図11. Si (110) 面上に形成したeSiGe pFETの断面TEM写真 — Si (100) 面上と同様に、Si (110) 面上においても平滑なモホロジーを持つSiGe膜が形成されている。

Cross-sectional TEM image of (110) eSiGe pFET

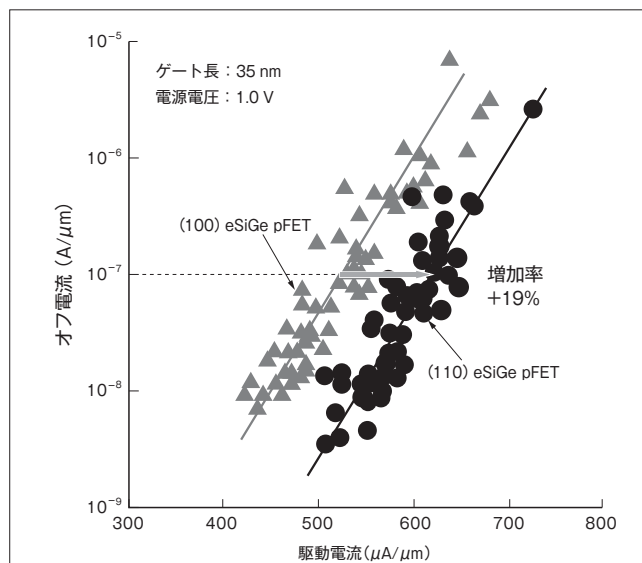


図12. eSiGe pFETの駆動電流の基板面方位比較 — Si (110) 面上では、Si (100) 面上と比べて19%高い駆動電流を達成した。

Ion-Ioff characteristics of eSiGe pFETs on Si (110) and Si (100)

面のモロロジー劣化による界面ラフネス散乱が原因と判明している(図13)。今後、Si(110)面上のゲート酸化膜質を改善すれば、性能を更に向上できるであろう。

一方、MOSキャパシタのCg-Vgカーブ(ゲート容量-ゲート電圧曲線)から、Si(110)面上の反転層の膜厚が薄くなるという事象を確認した(図14)。この結果は、正孔の密度分布の計算結果とも合致している。このことは、メタルゲートと高誘

電率絶縁膜の導入により、ゲート絶縁膜厚のスケーリングが継続されるうえで、(110) eSiGe pFETが有効であることを示している。

5 あとがき

DSS nFETは、低消費電力用途及び高性能用途の双方のアプリケーションにおいて、従来型nFETに比べて性能面での効果が大いことを実証した。一方、(110) eSiGe pFETは、(100) eSiGe pFETに対して性能面で効果が大きく、また、ゲート絶縁膜厚のスケーリングに有利であることを示した。これらは、32 nm世代以降のCMOSロジックLSIにおいて、非常に有望な技術であると言える。

文 献

- (1) 木下敦寛, ほか. 不純物偏析ショットキー接合を用いた高駆動電流トランジスタの開発. 東芝レビュー. 61, 5, 2006, p.33-36.
- (2) Kinoshita, T., et al. "Ultra Low Voltage Operations in Bulk CMOS Logic Circuits with Dopant Segregated Schottky Source/Drain Transistors". IEDM Tech. Dig. San Francisco, 2006-12, IEEE. p.71-74.
- (3) Onoda, H., et al. "0.7 V SRAM Technology with Stress-Enhanced Dopant Segregated Schottky (DSS) Source/Drain Transistors for 32nm Node". Symp. on VLSI Tech. Kyoto, 2007-06, IEEE; JSAP. p.76-77.
- (4) Awano, M., et al. "Advanced DSS MOSFET Technology for Ultrahigh Performance Applications". Symp. on VLSI Tech. Honolulu, 2008-06, IEEE; JSAP. p.24-25.
- (5) Okamoto, S., et al. "Study on High Performance (110) PFETs with Embedded SiGe". IEDM Tech. Dig. Washington, DC, 2007-12, IEEE. p.277-280.

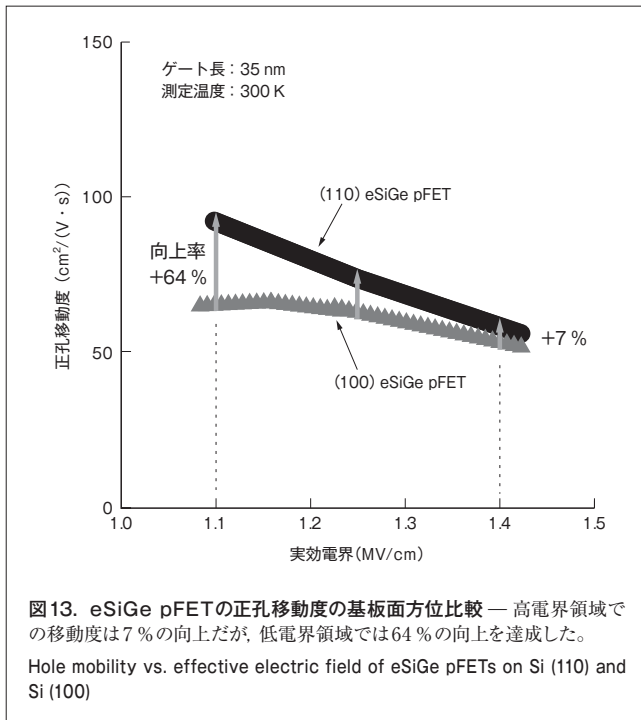


図13. eSiGe pFETの正孔移動度の基板面方位比較 — 高電界領域での移動度は7%の向上だが、低電界領域では64%の向上を達成した。
Hole mobility vs. effective electric field of eSiGe pFETs on Si(110) and Si(100)

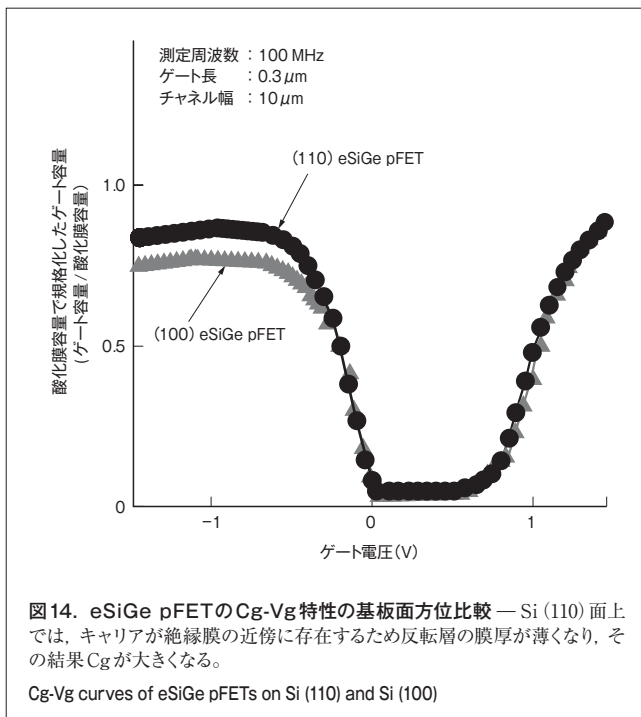


図14. eSiGe pFETのCg-Vg特性の基板面方位比較 — Si(110)面上では、キャリアが絶縁膜の近傍に存在するため反転層の膜厚が薄くなり、その結果Cgが大きくなる。
Cg-Vg curves of eSiGe pFETs on Si(110) and Si(100)



宮下 桂 MIYASHITA Katsura

セミコンダクター社 システムLSI事業部 システムLSIデバイス技術開発部主務。次世代システムLSI向けCMOSデバイス技術の開発に従事。IEEE会員。
System LSI Div.



中山 武雄 NAKAYAMA Takeo

セミコンダクター社 システムLSI事業部 システムLSIデバイス技術開発部参事。次世代システムLSI向けCMOSデバイス技術の開発に従事。
System LSI Div.



松岡 史倫 MATSUOKA Fumitomo, Ph.D.

セミコンダクター社 システムLSI事業部 システムLSIデバイス技術開発部長。工博。次世代システムLSI向けCMOSデバイス技術の開発に従事。IEEE, 応用物理学会会員。
System LSI Div.